

## Family list

14 family members for: JP10209465

Derived from 11 applications

- 1 **Semiconductor device and mfg. method thereof**  
**Inventor:** SHUNHIRA YAMAZAKA (JP); HISA DAITANI (JP) **Applicant:** SEMICONDUCTOR ENERGY SOURCE IN (JP)  
**EC:** H01L21/336D2B; H01L21/84; (+2) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)  
**Publication info:** CN1173412C C - 2004-10-27  
CN1193192 A - 1998-09-16
- 2 **A portable information terminal and a camera**  
**Inventor:** YAMAZAKA SHUNHIRA (JP); DAITANI HISA (JP) **Applicant:** SEMICONDUCTOR ENERGY SOURCE IN (JP)  
**EC:** H01L21/336D2B; H01L21/84; (+2) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+1)  
**Publication info:** CN1599074 A - 2005-03-23
- 3 **SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**  
**Inventor:** **Applicant:**  
**EC:** **IPC:** G02F1/136; H01L29/78; G02F1/1368 (+6)  
**Publication info:** CN1877861 A - 2006-12-13
- 4 **SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**  
**Inventor:** **Applicant:**  
**EC:** **IPC:** G02F1/136; H01L21/336; G02F1/1368 (+)  
**Publication info:** CN1897233 A - 2007-01-17
- 5 **SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**  
**Inventor:** **Applicant:**  
**EC:** **IPC:** G02F1/136; H01L29/78; G02F1/1368 (+6)  
**Publication info:** CN1921149 A - 2007-02-28
- 6 **SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**  
**Inventor:** YAMAZAKI SHUNPEI; OTANI HISASHI **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** G02F1/136; G02F1/1368; H01L21/20 (+8)  
**Publication info:** JP3753827B2 B2 - 2006-03-08  
JP10209465 A - 1998-08-07
- 7 **MANUFACTURE OF SEMICONDUCTOR DEVICE**  
**Inventor:** YAMAZAKI SHUNPEI; OTANI HISASHI **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** G02F1/136; G02F1/1368; H01L21/20 (+9)  
**Publication info:** JP10303129 A - 1998-11-13
- 8 **Semiconductor device and method of manufacturing the same**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OTANI HISASHI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/336D2B; H01L21/84; (+2) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)  
**Publication info:** TW386238B B - 2000-04-01
- 9 **Semiconductor device forming a pixel matrix circuit**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/336D2B; H01L21/84; (+2) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+1)  
**Publication info:** US6380560 B1 - 2002-04-30
- 10 **Semiconductor device forming a pixel matrix circuit**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)  
**EC:** H01L21/77T; H01L21/336D2B; (+2) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)  
**Publication info:** US6730932 B2 - 2004-05-04  
US2002117736 A1 - 2002-08-29
- 11 **Semiconductor device and method of manufacturing the same**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)

**EC:** H01L21/77T; H01L21/336D2B; (+2)

**IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)

**Publication info:** US2004164300 A1 - 2004-08-26

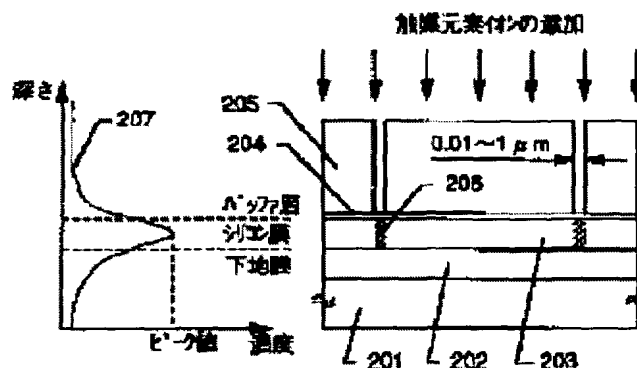
Data supplied from the *esp@cenet* database - Worldwide

**Patent number:** JP10209465  
**Publication date:** 1998-08-07  
**Inventor:** YAMAZAKI SHUNPEI; OTANI HISASHI  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
- international: *G02F1/136; G02F1/1368; H01L21/20; H01L21/336; H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): H01L29/786; G02F1/136; H01L21/336*  
- european:  
**Application number:** JP19970022077 19970120  
**Priority number(s):** JP19970022077 19970120

**Report a data error here**

**PROBLEM TO BE SOLVED:** To ensure high speed operation by an arrangement wherein an active layer comprises a pixel matrix circuit, a driver circuit and a logic circuit, a plurality of TFTs have a specified subthreshold coefficient and a channel forming region is a laterally grown region having a growth distance dependent on the characteristics required by the circuit.

**SOLUTION:** A semiconductor device comprises a TFT (having a subthreshold coefficient of 60-100mV/decade) having a crystalline silicon active layer having a peculiar crystal structure where the structure of crystal lattice extends continuously in a substantially specified direction and a plurality of rod-like crystals are grown in parallel with each other while having directivity. An underlying layer 202, an amorphous silicon layer 203, a buffer layer 204 and a resist layer 205 are formed on the substrate 201 and only a region to be added with a catalyst element is removed. Quantity of the catalyst element is varied by ion implantation and a lateral growth region is formed while varying the channel length by each circuit, thus achieving high speed operation.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209465

(43) 公開日 平成10年(1998) 8月7日

(51) Int. Cl. <sup>6</sup>	識別記号	F I		
H01L 29/786		H01L 29/78	618	G
G02F 1/136	500	G02F 1/136	500	
H01L 21/336		H01L 29/78	613	A
			618	C
			620	
審査請求 未請求 請求項の数18 F D (全23頁) 最終頁に続く				

(21) 出願番号	特願平9-22077	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成9年(1997) 1月20日	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
		(72) 発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 回路特性に合わせて設計されたT F Tを用いた半導体装置およびその作製方法を提供する。

【解決手段】 発明の第1の構成として、特異な結晶構造体で構成なる結晶シリコン膜を用いてT F Tを作製する。この結晶構造体は棒状または偏平棒状結晶が互いに平行に方向性をもって成長した構造を有している。また、第2の発明の構成として、T F Tのチャネル長に応じて横成長領域の成長距離を異なるものとする。これにより1つの横成長領域内に形成されるT F Tの特性をできるだけ均一化することができる。

## 【特許請求の範囲】

【請求項 1】画素マトリクス回路、ドライバー回路およびロジック回路とを同一基板上に配置して構成される半導体装置において、

前記画素マトリクス回路、ドライバー回路およびロジック回路は、結晶シリコン膜を活性層とし、かつ、サブスレッショルド係数が60~100mV/decadeである複数のTFTを含み、

それぞれの前記回路に含まれる前記複数のTFTのチャネル形成領域は、回路が要求する特性に応じて異なる成長距離を有する横成長領域からなることを特徴とする半導体装置。

【請求項 2】画素マトリクス回路、ドライバー回路およびロジック回路とを同一基板上に配置して構成される半導体装置において、

前記画素マトリクス回路、ドライバー回路およびロジック回路は、結晶シリコン膜を活性層とし、かつ、サブスレッショルド係数が60~100mV/decadeである複数のTFTを含み、

それぞれの前記回路に含まれる前記複数のTFTのチャネル形成領域は、回路が要求する特性に応じて異なる成長距離を有する横成長領域からなり、

前記ロジック回路および／またはドライバー回路を構成するTFTのチャネル形成領域となる横成長領域の成長距離は、前記画素マトリクス回路を構成するTFTのチャネル形成領域となる横成長領域の成長距離よりも短いことを特徴とする半導体装置。

【請求項 3】画素マトリクス回路、ドライバー回路およびロジック回路とを同一基板上に配置して構成される半導体装置において、

前記画素マトリクス回路、ドライバー回路およびロジック回路は、結晶シリコン膜を活性層とし、かつ、サブスレッショルド係数が60~100mV/decadeである複数のTFTを含み、

それぞれの前記回路に含まれる前記複数のTFTのチャネル形成領域は、回路が要求する特性に応じて異なる成長距離を有する横成長領域からなり、

前記複数のTFTのチャネル長と前記横成長領域の成長距離との間には相関関係があることを特徴とする半導体装置。

【請求項 4】画素マトリクス回路、ドライバー回路およびロジック回路とを同一基板上に配置して構成される半導体装置において、

前記画素マトリクス回路、ドライバー回路およびロジック回路は、結晶シリコン膜を活性層とし、かつ、サブスレッショルド係数が60~100mV/decadeである複数のTFTを含み、

それぞれの前記回路に含まれる前記複数のTFTの少なくともチャネル形成領域はストライプ状の複数の結晶領域からなり、

前記ストライプ状の複数の結晶領域の内部において隣あった結晶領域の境界の全てまたは実質的に全てにおいて、前記複数の結晶領域の各原子同士が格子欠陥を形成せずに連続して配設されていることを特徴とする半導体装置。

【請求項 5】請求項 4 において、前記境界で連続し得ない原子を中和する水素またはハロゲン元素が添加されていることを特徴とする半導体装置。

【請求項 6】請求項 1 乃至請求項 4 において、前記複数のTFTの少なくともチャネル形成領域はストライプ状の複数の結晶領域からなることを特徴とする半導体装置。

【請求項 7】請求項 1 乃至請求項 4 において、前記結晶シリコン膜は互いに平行に方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造体となることを特徴とする半導体装置。

【請求項 8】請求項 1 乃至請求項 4 において、前記結晶シリコン膜を構成する棒状または偏平棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせることを特徴とする半導体装置。

【請求項 9】請求項 1 乃至請求項 4 において、前記活性層の少なくともチャネル形成領域は真性または実質的に真性な領域であることを特徴とする半導体装置。

【請求項 10】請求項 1 乃至請求項 4 において、前記活性層中にはシリコン膜の結晶化を助長する触媒元素としてNi、Fe、Co、Sn、Pd、Pb、Pt、Cu、Auから選ばれた一種または複数種の元素が含まれ、該触媒元素の濃度は $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下であることを特徴とする半導体装置。

【請求項 11】請求項 1 乃至請求項 4 において、前記活性層中にはCl、F、Brから選ばれた一種または複数種の元素が $1 \times 10^{15} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup> の濃度で含まれることを特徴とする半導体装置。

【請求項 12】請求項 1 乃至請求項 4 において、前記複数のTFTを構成する活性層とゲート絶縁膜との界面にはCl、F、Brから選ばれた一種または複数種の元素が高濃度に存在することを特徴とする半導体装置。

【請求項 13】請求項 1 乃至請求項 4 において、前記複数のTFTの内、必要とする駆動周波数が0.1GHz以上の回路を構成するTFTのチャネル長は0.25~0.7 μmであり、必要とする動作電圧が10Vを超える回路を構成するTFTのチャネル長は2~20 μmであることを特徴とする半導体装置。

【請求項 14】絶縁表面を有する基板上に非晶質シリコン膜を形成する工程と、

前記非晶質シリコン膜に対して選択的にシリコン膜の結晶化を助長する触媒元素を添加する工程と、

加熱処理により前記触媒元素の添加領域を起点として前記非晶質シリコン膜を結晶化させ、結晶シリコン膜である横成長領域を複数箇所形成する工程と、

少なくともチャネル形成領域が前記横成長領域のみで構成される活性層を形成する工程と、

前記活性層上に酸化珪素膜を形成する工程と、ハロゲン元素を含む雰囲気中で加熱処理し、前記活性層中の前記触媒元素の除去と前記活性層の熱酸化とを行う工程と、

を少なくとも有する半導体装置の作製方法において、前記触媒元素を添加する工程はイオン注入法またはプラズマドーピング法により行われ、同一基板上の少なくとも 1 ヶ所は他の添加領域とは異なる濃度で触媒元素を添加することを特徴とする半導体装置の作製方法。

【請求項 1 5】絶縁表面を有する基板上に非晶質シリコン膜を形成する工程と、

前記非晶質シリコン膜に対して選択的にシリコン膜の結晶化を助長する触媒元素を添加する工程と、

加熱処理により前記触媒元素の添加領域を起点として前記非晶質シリコン膜を結晶化させ、結晶シリコン膜となる横成長領域を複数箇所形成する工程と、

少なくともチャネル形成領域が前記横成長領域のみで構成される活性層を形成する工程と、

前記活性層上に酸化珪素膜を形成する工程と、

ハロゲン元素を含む雰囲気中で加熱処理し、前記活性層中の前記触媒元素の除去と前記活性層の熱酸化とを行う工程と、

を少なくとも有する半導体装置の作製方法において、前記触媒元素を添加する工程はイオン注入法またはプラズマドーピング法により、同一基板上に前記活性層のチャネル長に応じて異なる濃度で前記触媒元素を添加することを特徴とする半導体装置の作製方法。

【請求項 1 6】請求項 1 4 または請求項 1 5 において、前記触媒元素の添加領域の短辺の長さは  $0.01 \sim 1 \mu\text{m}$  であることを特徴とする半導体装置の作製方法。

【請求項 1 7】請求項 1 4 または請求項 1 5 において、前記触媒元素として  $\text{Ni}$ 、 $\text{Fe}$ 、 $\text{Co}$ 、 $\text{Sn}$ 、 $\text{Pd}$ 、 $\text{Pb}$ 、 $\text{Pt}$ 、 $\text{Cu}$ 、 $\text{Au}$  から選ばれた一種または複数種類の元素を用いることを特徴とする半導体装置の作製方法。

【請求項 1 8】請求項 1 4 または請求項 1 5 において、ハロゲン元素を含む雰囲気中には  $\text{HCl}$ 、 $\text{HF}$ 、 $\text{NF}_3$ 、 $\text{HBr}$ 、 $\text{Cl}_2$ 、 $\text{ClF}_3$ 、 $\text{BCl}_3$ 、 $\text{F}_2$ 、 $\text{Br}_2$  等のハロゲンを含む化合物から選ばれた一種または複数種が存在していることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、絶縁表面を有する基板上に形成された薄膜トランジスタ (TFT) で構成される半導体装置およびその作製方法に関する。その様な半導体装置には IC、LSI、電気光学装置などが含まれ、特に電気光学装置に本発明を適

用することは有効である。

【0002】

【従来の技術】近年、非晶質シリコン薄膜 (アモルファスシリコン膜: a-Si 膜) を利用した TFT に代わって多結晶シリコン薄膜 (ポリシリコン膜: p-Si 膜) を利用した TFT で構成される半導体装置の研究が進んでいる。特に、半導体装置を基板上に集積化したアクティブマトリクス型表示装置の開発研究が目覚しく、これは PC モニター、ビデオカメラ、プロジェクション等の表示装置としての需要が高まったことによる。

【0003】その様なアクティブマトリクス型表示装置としては米国特許第 5 2 5 0 9 3 1 号 (Misawa et al.) に開示される内容が知られている。ところが、最近ではさらに付加価値が求められ、従来外付け IC に頼っていたロジック回路 (表示コントロール回路や演算回路などの信号処理回路) を、TFT でもって同一基板上に搭載する SOP (システム・オン・パネル) 構想が提案されている。

【0004】また、従来の IC や VLSI そのものを TFT で作製する研究も進められている。なぜならば TFT は絶縁基板上に形成されるため寄生容量が極めて小さい特徴を有し、単結晶シリコン上の形成した FET よりも高駆動性に有利と言えるからである。

【0005】しかしながら、その構想を実現しうる TFT を形成する技術は未だに確立されていない。その理由は、現在利用されているポリシリコン膜 (いわゆる高温ポリシリコン膜および低温ポリシリコン膜を含む) では、高周波駆動を必要とする回路を構成するだけの性能を有する TFT を得ることが困難だからである。

【0006】TFT の動作速度の向上は TFT サイズを小さくすることで一応の対処はできるが、チャネル長 (またはゲイト長) の縮小は短チャネル効果を招き、ドレイン耐圧の低下等の不具合が生じる。従って、従来のシリコン薄膜を用いた TFT の場合、スケーリング則による動作速度の向上にも限界がきており、信頼性の問題からこれ以上動作速度を上げることは困難である。また、シリコン薄膜には結晶粒と結晶粒界 (グレインバウンダリ) が不規則に存在し、結晶粒界が TFT 特性に大きく影響してバラツキを生じるといった問題もある。

【0007】

【発明が解決しようとする課題】本発明は以上の様な問題点を克服し、絶縁表面を有する基板上に形成された TFT で構成した半導体装置およびその作製方法を提供することを課題とする。特に、TFT で構成するロジック回路を搭載し、機能的にシステム化された電気光学装置 (本明細書中ではシステムディスプレイと呼ぶ) およびその作製方法を提供することを課題とする。

【0008】なお、半導体装置とは半導体を利用して機能する装置全般を指し、広義的には IGFET、TFT、IC、電気光学装置およびそれらの応用製品などは

10

20

30

40

50

全て半導体装置の範疇に含まれているものとする。

【0009】

【課題を解決するための手段】本明細書で開示する発明の構成は、画素マトリクス回路、ドライバー回路およびロジック回路とを同一基板上に配置して構成される電気光学装置において、前記画素マトリクス回路、ドライバー回路およびロジック回路は、結晶シリコン膜を活性層とし、かつ、サブスレッショルド係数が60~100mV/decadeである複数のTFTを含み、それぞれの前記回路に含まれる前記複数のTFTのチャンネル形成領域は、回路が要求する特性に応じて異なる成長距離を有する横成長領域からなることを特徴とする。

【0010】また、他の発明の構成は、画素マトリクス回路、ドライバー回路およびロジック回路とを同一基板上に配置して構成される電気光学装置において、前記画素マトリクス回路、ドライバー回路およびロジック回路は、結晶シリコン膜を活性層とし、かつ、サブスレッショルド係数が60~100mV/decadeである複数のTFTを含み、それぞれの前記回路に含まれる前記複数のTFTのチャンネル形成領域は、回路が要求する特性に応じて異なる成長距離を有する横成長領域からなり、前記ロジック回路および/またはドライバー回路を構成するTFTのチャンネル形成領域となる横成長領域の成長距離は、前記画素マトリクス回路を構成するTFTのチャンネル形成領域となる横成長領域の成長距離よりも短いことを特徴とする。

【0011】また、他の発明の構成は、画素マトリクス回路、ドライバー回路およびロジック回路とを同一基板上に配置して構成される電気光学装置において、前記画素マトリクス回路、ドライバー回路およびロジック回路は、結晶シリコン膜を活性層とし、かつ、サブスレッショルド係数が60~100mV/decadeである複数のTFTを含み、それぞれの前記回路に含まれる前記複数のTFTのチャンネル形成領域は、回路が要求する特性に応じて異なる成長距離を有する横成長領域からなり、前記複数のTFTのチャンネル長と前記横成長領域の成長距離との間には相関関係があることを特徴とする。

【0012】また、他の発明の構成は、画素マトリクス回路、ドライバー回路およびロジック回路とを同一基板上に配置して構成される半導体装置において、前記画素マトリクス回路、ドライバー回路およびロジック回路は、結晶シリコン膜を活性層とし、かつ、サブスレッショルド係数が60~100mV/decadeである複数のTFTを含み、それぞれの前記回路に含まれる前記複数のTFTの少なくともチャンネル形成領域はストライプ状の複数の結晶領域からなり、前記ストライプ状の複数の結晶領域の内部において隣あった結晶領域の境界の全てまたは実質的に全てにおいて、前記複数の結晶領域の各原子同士が格子欠陥を形成せずに連続して配設されていることを特徴とする。

【0013】また、他の発明の構成は、絶縁表面を有する基板上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜に対して選択的にシリコン膜の結晶化を助長する触媒元素を添加する工程と、加熱処理により前記触媒元素の添加領域を起点として前記非晶質シリコン膜を結晶化させ、結晶シリコン膜となる横成長領域を形成する工程と、少なくともチャンネル形成領域が前記横成長領域のみで構成される活性層を形成する工程と、前記活性層上に酸化珪素膜を形成する工程と、ハロゲン元素を含む雰囲気中で加熱処理し、前記活性層中の前記触媒元素の除去と前記活性層の熱酸化とを行う工程と、を少なくとも有する電気光学装置の作製方法において、前記触媒元素を添加する工程はイオン注入法またはプラズマドーピング法により行われ、同一基板上の少なくとも1ヶ所は他の添加領域とは異なる濃度で触媒元素を添加することを特徴とする。

【0014】また、他の発明の構成は、絶縁表面を有する基板上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜に対して選択的にシリコン膜の結晶化を助長する触媒元素を添加する工程と、加熱処理により前記触媒元素の添加領域を起点として前記非晶質シリコン膜を結晶化させ、結晶シリコン膜となる横成長領域を形成する工程と、少なくともチャンネル形成領域が前記横成長領域のみで構成される活性層を形成する工程と、前記活性層上に酸化珪素膜を形成する工程と、ハロゲン元素を含む雰囲気中で加熱処理し、前記活性層中の前記触媒元素の除去と前記活性層の熱酸化とを行う工程と、を少なくとも有する電気光学装置の作製方法において、前記触媒元素を添加する工程はイオン注入法またはプラズマドーピング法により、同一基板上に前記活性層のチャンネル長に応じて異なる濃度で前記触媒元素を添加することを特徴とする。

【0015】

【実施例1】図1に示すのは、本発明による半導体装置の一実施例であり、システムディスプレイのブロック図である。本発明のシステムディスプレイは基板101上に画素マトリクス回路102、ソース線ドライバー回路103、ゲート線ドライバー回路104およびロジック回路105を一体形成して構成される。なお、本実施例ではアクティブマトリクス型液晶表示装置を例とする。

【0016】なお、本実施例に示す回路構成は単に一実施例を示すものであり、回路構成をこれに限定するものではない。本発明の要点は、同一基板上にロジック回路105を搭載していることであり、上記画素マトリクス回路102、ソース線ドライバー回路103、ゲート線ドライバー回路104、ロジック回路105といった各種回路の構成は回路設計の必要に応じて決定すれば良い。

【0017】図1において、ソース線ドライバー回路103は主としてシフトレジスタ、レベルシフト、バッフ

ァ、ラッチ回路等で構成され、ゲイト線ドライバー回路 104 は主としてシフトレジスタ、マルチプレクサ、レベルシフタ、バッファ等で構成されている。勿論、シフトレジスタを同一機能を有する回路、例えばカウンタ及びデコーダで代用する構成としても構わない。また、図 1 はデジタル対応の回路構成を示しているが、アナログ対応ならばソース線ドライバー回路 103 にはサンプルホールド回路などが含まれる。

【0018】なお、これらソース線ドライバー回路 103、ゲイト線ドライバー回路 104 に含まれる各種回路は、Nチャネル型 T F T と Pチャネル型 T F T とを相補的に組み合わせた CMOS 構造でなるインバータ回路を基本単位として構成される。勿論、片極性の回路でも良いが、低消費電力の観点から CMOS 構造によるスタティック型又はダイナミック型回路が適している。

【0019】また、画素マトリクス回路 102 は、ソース線ドライバー回路 103 に接続される複数のソース線 106、107 及びゲイト線ドライバー回路 104 に接続される複数のゲイト線 108、109 とで囲まれた複数の画素領域 110 がマトリクス状に配置されて構成される。

【0020】そして、複数の画素領域 110 は画素 T F T 111、液晶セル 112、補助容量 113 を含んで構成されている。なお、図示されていないが、液晶セル 112 は画素電極および対向電極とその間に挟持された液晶とで構成される。

【0021】次に、ロジック回路 105 は、ソース線ドライバー回路 103 及びゲイト線ドライバー回路 104 を駆動するためのスタートパルスやクロック信号等の処理、画素マトリクス回路 102 に画像を表示させるためのビデオ信号の処理等の様に、画像表示を行うに必要な信号処理を行うために必要な回路全般を指す。

【0022】図 1 に示す実施例においてロジック回路 105 は、位相比較器 114、L P F (Low Pass Filter) 115、V C O (電圧制御型発振器) 116、分周器 117、ソース線ドライバー用 (水平走査用) 発振器 118、ゲイト線ドライバー用 (垂直走査用) 発振器 119、D/A コンバータ (デジタル・アナログ変換器) 120 を含んで構成される。

【0023】なお、本発明者らはここで図示されない他のロジック回路、例えばイメージセンサや C C D から送られてくる信号の入出力を行う I/O ポート、アンプ系回路 (差動アンプ、オペアンプ、コンパレータ等)、A/D コンバータ、データを格納するメモリ (RAM や ROM)、究極的には演算回路までもモノシリックに搭載し、C P U (中央演算処理装置) としての機能を備えたシステムディスプレイをも実現しようと考えている。

【0024】また、121 はデジタル階調信号に応じたアナログ信号の入力端子、122 はデジタル階調信号を選択するためのビット信号の入力端子、123 は水平走

査用同期信号の入力端子、124 は垂直走査用同期信号の入力端子である。勿論、これらのアナログ信号、ビット信号、同期信号を形成する発振回路をも基板上に組み込んでしまえば入力端子は必要なくなる。

【0025】この様なシステムディスプレイは絶縁表面を有する基板上に T F T でもって作製するため、従来の単結晶シリコン上に作製した F E T よりも寄生容量が小さいという利点がある。この事は T F T の動作速度を速める上で好ましい。また、シリコン薄膜を用いた島状半導体層を活性層とするため、素子間分離が容易であり、活性層へ添加するリンやボロンの濃度制御が簡便である。

【0026】〔発明の第 1 の構成について〕図 1 に示すシステムディスプレイを実現するためには、本発明者らが発明した特異な結晶構造体でなる結晶シリコン膜を利用した T F T を用いることが必要不可欠である。そこで、以下にその特異な結晶構造体の特徴およびそれを用いて構成される T F T の特徴について説明する。

【0027】(特異な結晶構造体の特徴) 図 8 に特異な結晶構造体でなる結晶シリコン膜を 25 万倍に拡大した T E M 写真を示す。図 8 に示す様に、本発明者らの発明した結晶シリコン膜は以下に示す様な特徴を有している。

(1) 結晶格子の構造がほぼ特定方向に連続的に連なっている。

(2) 細い棒状 (または柱状) 結晶或いは細い偏平棒状結晶に成長している。

(3) 複数の棒状または偏平棒状結晶は互いに平行またはほぼ平行に、かつ、方向性をもって成長している。

【0028】図 8 に示す写真を見ると、例えば左下から右上への斜め方向に 0.15  $\mu$ m 程度の幅の細い棒状結晶が延びており、両幅端縁には明確な境界 (結晶粒界) が確認できる (写真に見られる線状等の濃淡は結晶面の向きの違いによる)。また、複数の棒状結晶が互いに概略平行な方向に結晶成長していることから、複数の結晶粒界もほぼ平行に延びていることが確認できる。この結晶粒界はキャリア (電子または正孔) にとってエネルギー障壁となるため、キャリアは優先的に棒状結晶の内部のみを移動すると考えられる。

【0029】なお、後に詳細に説明するが、この結晶構造体はハロゲン元素を含む 700  $^{\circ}$ C を超える温度での加熱処理によって著しく結晶性が改善され、かつ、触媒元素が問題とならない程度までゲッターリング除去されている。そのため、棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせる領域となっていると考えられる。そのため、キャリアの移動を妨げる不純物散乱が非常に少ないことも特徴である。

【0030】また、T F T の活性層を形成する際に、キャリアの移動する方向と結晶粒界の延在する方向とを一致させる様に設計することでキャリアの移動度は大幅に



向上する。これは、キャリアの移動方向が結晶粒界によって特定の一方に規定されるため、キャリア同士の衝突による散乱が極めて少なくなるからである。この様に、特異な結晶構造体でなる結晶シリコン膜を活性層とした場合、その活性層はキャリアの挙動にとって異方性を有していると言える。

【0031】また、特異な結晶構造体の特徴として、棒状または偏平棒状結晶同士の結晶粒界（境界）において格子が連続的に接合されている点を挙げることができる。その様子を図17を用いて説明する。

【0032】図17（A）は特異な結晶構造体でなる結晶シリコン膜において、棒状または偏平棒状結晶同士の結晶粒界を拡大したHRTM（High Resolution TEM）写真である。HRTMによる分析は結晶の格子像観察に用いられる。本発明者らは結晶粒界における格子像観察を行った結果、次の様な知見を得た。

【0033】図17（A）に示したHRTM写真では中央の上から下に向かってに見られる境界（結晶粒界）において、互いに隣あった結晶領域が整合性よく連続的に接合していることが確認できる。また、図17（B）は図17（A）の構造を模式的に簡略化して表したものである。図17（B）に示す様に方向性の異なる格子像が結晶粒界において衝突しているが、境界において異なる結晶領域を構成する各原子同士が1対1に対応しているため、不對結合手（ダングリングボンド）の様な格子欠陥を形成していないことを意味している。

【0034】なお、結晶シリコン膜は棒状または偏平棒状結晶が複数集合してなるが、その全てまたは実質的に全ての結晶粒界において図17（A）に示した様な構造が形成されていると考えられる。ここで実質的に全てとは、仮にシリコン原子の不對結合手が存在したとしても、その部分は水素またはハロゲン元素によって中和（終端）されているため格子欠陥とならないことを意味している。

【0035】一方、参考として別の結晶構造体でなる結晶シリコン膜（いわゆる高温ポリシリコンと呼ばれる膜）のHRTM写真を図17（C）に示す。また、その模式図を図17（D）に示す。

【0036】図17（C）では、中央に見える結晶粒界において左側の結晶領域の格子像と右側の結晶領域の格子像とが無秩序に接合されていることが確認できる。即ち、図17（D）に示す様に、各原子同士が1対1に対応していないため、余った結合手が不對結合手1701、1702となって存在する。そのため、結晶粒界にはキャリアのにとって多くのトラップが存在する。

【0037】以上の様に、本発明者らによる特異な結晶構造体でなる結晶シリコン膜は従来の結晶シリコン膜とは全く異なる接合構造を有しており、結晶粒界でありながらキャリアの再結合中心にはならないという特徴を持つ。

【0038】（特異な結晶構造体を用いたTF Tの特徴）上記結晶構造体でなる結晶シリコン膜を活性層として作製したTF Tの電気特性を市販のトランジスタ特性測定器（ヒューレットパッカード社製：型番4145B）にて測定したところ、次の様な結果が得られた。

（1）TF Tのスイッチング性能（オン／オフ動作の切り換えの俊敏性）を示すパラメータであるサブスレッショルド係数が、N型TF TおよびP型TF Tともに60～100mV/decade（代表的には60～85mV/decade）と小さい。なお、このデータ値は単結晶シリコンを用いた絶縁ゲイト型電界効果トランジスタ（IGFET）の場合とほぼ同等である。

（2）TF Tの動作速度の速さを示すパラメータである電界効果移動度（ $\mu_{FE}$ ）が、N型TF Tで200～650cm<sup>2</sup>/Vs（代表的には250～300cm<sup>2</sup>/Vs）、P型TF Tで100～300cm<sup>2</sup>/Vs（代表的には150～200cm<sup>2</sup>/Vs）と大きい。この事は従来のTF Tよりも3倍以上の動作速度を有していることを意味している。

（3）TF Tの駆動電圧の目安となるパラメータであるしきい値電圧（ $V_{th}$ ）が、N型TF Tで-0.5～1.5V、P型TF Tで-1.5～0.5Vと小さい。この事は小さい電源電圧で駆動して消費電力を小さくできることを意味している。

【0039】以上の様に、上記結晶構造体で構成されるTF Tは極めて優れたスイッチング特性および高速動作特性を有している。また、特異な結晶構造体に起因して短チャネル効果の影響を受けにくいという特徴がある。その事について以下に説明する。

【0040】従来、ICの世界ではスケーリング則に従ってデバイスサイズの縮小が行われ、回路の集積度とデバイス素子の特性向上が図られてきた。しかし、チャネル長（チャネル形成領域のキャリアが移動する方向における距離）が1 $\mu$ m以下となる様なサブミクロン領域では短チャネル効果が顕在化し、スケーリング則による素子特性の向上にも限界がきている。短チャネル効果に関する詳細は「VLSIデバイスの物理；小柳光正他；丸善；1986」に詳しい。

【0041】例えば、短チャネル効果が起こるとドレイン耐圧が低下して素子の劣化が著しくなる。そのため、チャネルドープ法などの工夫により短チャネル効果の抑制が行われてきたが、チャネル形成領域に均一に添加された不純物がキャリアの移動を阻害し、トランジスタの動作速度を低下させてしまっていた。

【0042】しかしながら、特異な結晶構造体で構成されるTF Tはチャネル長が0.6 $\mu$ mと短い場合においても、極めて高い動作速度と高いドレイン耐圧とを同時に有し、加速試験による評価で信頼性の高いTF Tであることが確認されている。

【0043】本発明者らは、特異な結晶構造体で構成されるTF Tのドレイン耐圧が高い理由として結晶粒界が

効果的に機能していると推察している。即ち、チャネル形成領域においてチャネル長方向（ソースからドレインに向かってキャリアが移動する方向と定義する）とほぼ平行に延在する結晶粒界によるエネルギー障壁が、ドレイン領域からの空乏層の広がりを実効果的に抑制し、パンチスルーによるドレイン耐圧の低下を実効果的に抑制していると推測した。

【0044】即ち、従来のシリコン薄膜を用いたTFTならば短チャネル効果の影響が顕在化する様な状態、即ちチャネル長が極めて小さい（0.01～2 μm）場合においても、特異な結晶構造体であるが故に空乏層の広がりを抑制することができるので短チャネル効果を効果的に抑制できると考えられる。

【0045】また、上述の様に人為的な工夫（チャネルドーピング技術など）を加えることなく短チャネル効果を抑制することができるため、チャネル形成領域として真性または実質的に真性な半導体膜を利用できる。この事はTFTの動作速度を高める上で最も重要な要素の一つである。

【0046】なお、真性または実質的に真性であるとは以下の条件のうち、少なくとも一つを満たすことを意味している。

- ① シリコン膜の活性化エネルギーがほぼ1/2（フェルミレベルが禁制体のほぼ中央に位置する）である。
- ② スピン密度よりも不純物濃度が低い領域である。
- ③ 意図的に不純物を添加してないアンドープ（undoped）またはイントリンシック（intrinsic）な領域である。

【0047】また、前述の様に結晶粒界によってドレイン側の空乏層の広がりが抑制されるため、TFTの空乏層容量が大幅に減少する。ここで、前述のサブスレッショルド係数（S値）は次の近似式で表される。

$\ln 10 \cdot kT/q [1 + (C_d + C_{it}) / C_{ox}]$   
ただし、kはボルツマン定数、Tは絶対温度、qは電荷量、C<sub>d</sub>は空乏層容量、C<sub>it</sub>は界面準位の等価容量、C<sub>ox</sub>はゲイト酸化膜容量である。

【0048】特異な結晶構造体で構成されるTFTが前述の様に極めて小さいサブスレッショルド係数を有している事実、および界面準位が非常に小さいという事実

（この理由は実施例で説明する）は、空乏層容量C<sub>d</sub>が小さいという上述の推察が正しいことを裏付けているものと考えられる。

【0049】以上は本発明者らが実際に得た特異な結晶構造体でなる結晶シリコン膜と、それを用いて実際に試作したTFTの電気特性を結びつけた推察に他ならない。しかしながら、実験データは事実であり、従来のシリコン薄膜を用いたTFTとはまるで異なる優れた性能を有することも事実である。

【0050】（上記TFTで構成した回路の特徴）さらに、本発明者らが上記特異な結晶構造体で構成されるT

FTを用いて作製したリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFTのゲイト絶縁膜の膜厚：30nm及び50nm

TFTのゲイト長：0.6 μm

10 【0051】上記リングオシレータの電源電圧5Vの時の発振周波数をスペクトロアナライザーで測定した結果を図9に示す。図9において、横軸は電源電圧

（V<sub>DD</sub>）、縦軸は発振周波数（f<sub>osc</sub>）である。図9が示す様に、ゲイト絶縁膜が30nmのTFTを用いた場合において、1GHz以上の発振周波数を実現している。

20 【0052】図10に示すのは1.04GHzの発振周波数を得た際のスペクトロアナライザーの出力スペクトルの様子である。横軸は1～1.1GHzまでの周波数であり、縦軸はログスケールでとった電圧（出力振幅）である。図10に明らかな様に、1.04GHzのところで出力スペクトルのピークが現れている。なお、出力スペクトルがテールを引いているのは装置の分解能によるものであり、実験結果に影響するものではない。

30 【0053】また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して10～100MHzの動作周波数で駆動した際の出力パルスを確認し、シフトレジスタの動作性能を調べた。図11に示すオシロスコープの画面（上側がクロックパルス、下側が出力パルスを示す）は、ゲイト絶縁膜の膜厚30nm、ゲイト長0.6 μm、動作周波数100MHz、電源電圧5V、段数50段のシフトレジスタ回路の出力パルスを表している。

【0054】本発明者らが確認した結果、図12に示す様に出力パルス幅tの逆数（縦軸）と動作周波数（横軸）とは比例関係にあり、単独で100MHzもの高周波駆動が可能で、かつ、出力パルスが殆どなまりのない理想状態で得られる極めて高性能なシフトレジスタであることが判明した。なお、実験は多少回路構成の異なる2種類のシフトレジスタを用いたのでそれぞれをシフトレジスタ1およびシフトレジスタ2とした。

40 【0055】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、特異な結晶構造体で構成されるTFTが単結晶シリコンを利用したIGFETに匹敵する、若しくはそれ以上の性能を有していることを示している。

【0056】それを裏付ける証拠として次の様なデータがある。図13に示すデータは横軸に電源電圧（V<sub>DD</sub>）、縦軸にF/O=1（ファンアウト比が1）のインバータの1段あたりの遅延時間（τ<sub>pd</sub>）をとったグラフである（ロジックLSI技術の革新、前口賢二他、p108、株式会社サイエンスフォーラム、1995）。図

中の様々な曲線（点線で示されるもの）は、単結晶シリコンを利用した FET を様々なデザインルールで作製した時のデータであり、いわゆるスケリング則を示している。

【0057】この図に上述のリングオシレータを用いて得たインバータの遅延時間と電源電圧との関係を当てはめると、図 13 において実線で示される曲線となる。注目すべきはチャネル長が  $0.5 \mu\text{m}$ 、ゲート絶縁膜の膜厚（ $t_{ox}$ ）が  $11 \text{ nm}$  の IGFET で作製したインバータよりも、チャネル長が  $0.6 \mu\text{m}$ 、ゲート絶縁膜の膜厚が  $30 \text{ nm}$  の TFT で作製したインバータの方が優れた性能を有している点である。

【0058】この事は本発明者らが発明した特異な結晶構造体で構成される TFT が IGFET よりも優れた性能を有していることを如実に示している。例えば、上記 TFT を構成するゲート絶縁膜の膜厚を IGFET の 3 倍以上としても、性能的に同等もしくはそれ以上のものが得られるのである。即ち、特異な結晶構造体で構成される TFT は一般的な IGFET よりも優れた絶縁耐圧を有している。

【0059】また同時に、特異な結晶構造体で構成される TFT がスケリング則に従って微細化されればさらに高い性能を実現することが可能である。これは、前述の様に特異な結晶構造に起因して短チャネル効果の影響を受けにくいために可能なものであり、例えば図 13 に示したリングオシレータを  $0.2 \mu\text{m}$  ルールで作製すればスケリング則によると  $9 \text{ GHz}$  の動作周波数を実現すると予想される（動作周波数  $f$  がチャネル長  $L$  の二乗に反比例するため）。

【0060】また、実線で示される曲線（第 1 の発明の構成を利用したインバータ）は他の点線で示される曲線（通常の IGFET を利用したインバータ）よりも低電圧側でスロープ（傾き）が緩やかであり、低電圧側での特性に特に優位性を持っていると言える。

【0061】以上に示した様に、本発明者らが発明した特異な結晶構造体で構成される TFT は極めて優れた特性を有し、その TFT を用いて構成した回路は  $10 \text{ GHz}$  以上の高速動作を実現しうる全く新しいデバイス素子である。そして、以上に示してきた様な TFT を得ることで、初めてロジック回路を搭載したシステムディスプレイの実現が可能となったのである。

【0062】〔発明の第 2 の構成について〕本発明者らは、さらにシステムディスプレイの集積度の向上および TFT 特性のバラツキの低減を図るための工夫を施している。ここではその発明の構成について以下に説明することとする。

【0063】（触媒元素の添加方法について）上述の特異な結晶構造体でなる結晶シリコン膜は非晶質シリコン膜に対して結晶化を助長する金属元素を添加して形成される。本発明者らは、非晶質シリコン膜を結晶シリコン

膜に変成させるための手段として特開平 8-78329 号公報記載の技術を開示している。同公報記載の技術は、結晶化を助長する触媒元素（ニッケル、コバルト等）を非晶質シリコン膜に対して選択的に添加し、そこを起点として基板面とほぼ平行方向に結晶化させ、その横方向の結晶化領域（以下、横成長領域と呼ぶ）のみを TFT の活性層として利用するものである。

【0064】なお、前述の特異な結晶構造体の構造（棒状または偏平棒状結晶の集合体でなる構造）はこの様な横成長領域の結晶化形態に起因するものである。従って、横成長領域は棒状または偏平棒状結晶の集合体またはストライプ状に配設された複数の結晶領域の集合体であると言える。

【0065】しかしながら、図 1 に示すシステムディスプレイを実現する場合、同公報記載の技術をそのまま利用したのでは触媒元素の添加領域による回路設計上の制約が顕在化してしまう。例えば、同公報では溶液をスピコートするため添加領域の幅を少なくとも  $20 \mu\text{m}$  以上とする必要がある。添加領域は触媒元素が高濃度に存在するため活性層として利用できないため、添加領域のスペースがそのまま回路設計上のデッドスペースとなってしまう。

【0066】また、①添加領域の幅に制約があること、②添加領域には同一濃度の触媒元素が添加されること、により同一基板上に形成される横成長領域は全て同じ成長距離を有し、 $600^\circ\text{C}$  の熱結晶化条件では  $50 \sim 150 \mu\text{m}$  前後の横成長領域が形成されることになる。即ち、微細な回路構成を有する領域では 1 つの横成長領域に複数の TFT が形成されてしまうことになる。

【0067】この事は図 1 に示すシステムディスプレイを実現する上で大きな障害となる。基本的に高周波駆動を行わせる必要のある TFT やアナログ信号を取り扱う TFT は極力特性が均一であることが望ましい。ところが、同一の横成長領域内であってもその位置によって結晶性が多少異なる場合があるため、1 つの横成長領域に複数の TFT を作製するとその位置によって TFT の特性に差異が現れてしまうのである。

【0068】以上を鑑みて、本発明者らは本発明のシステムディスプレイを実現する上で顕在化したこの問題点を解決する手段として、触媒元素の添加方法をイオンプランテーション法（イオン注入法）によることを提案している。ここで、イオン注入法を用いて触媒元素を添加する方法およびその利点について図 2 を用いて説明する。

【0069】図 2 において、201 は基板（ガラス基板または石英基板を含む）、202 は酸化珪素膜でなる下地膜、203 は非晶質珪素膜、204 はバッファ層となる酸化珪素膜である。また、205 はレジストマスクであり、触媒元素を添加する領域のみを除去しておく。レジストマスクの露光はエキシマレーザーを用いた露光法

10

20

30

40

50

や電子ビームを用いた露光法などを用いることが好ましい。

【0070】これらの露光法は極めて微細なパターン形成が可能となるので  $0.01 \sim 1.0 \mu\text{m}$  (代表的には  $0.1 \sim 0.35 \mu\text{m}$ ) のスリット幅で触媒元素の添加領域を形成することができる。また、電子ビーム等で直接レジストパターンを描画すれば、添加領域の形状の自由度も大幅に広がる。

【0071】そして、図2の左の図に示す様に、非晶質珪素膜203中にイオンプロファイル207のピーク値10  
がくる様にしてイオンを添加する。そのため、非晶質珪素膜203中には所定の濃度 (好ましくは  $3 \times 10^{19} \sim 1.5 \times 10^{21} \text{ atoms/cm}^2$ ) で触媒元素が添加された領域206が形成される。

【0072】なお、イオンの添加方法は、質量分離を行うイオン注入法以外に質量分離を行わないプラズマドーピング法 (イオンドーピング等) によることもできるが、触媒元素のみを添加できる点でイオン注入法の方が有利である。

【0073】また、図2に示す構成ではバッファ層204で非晶質珪素膜203を覆い、バッファ層204を通20  
過した触媒元素のみを利用する。そのため、イオン注入時のイオンの衝突によるダメージが非晶質珪素膜203に対して直接届かないという利点を得られる。

【0074】また、イオンプロファイル207のピーク値付近のみを利用するので、イオン注入の条件を最適化することで触媒元素の添加量を再現性良く制御できる。即ち、横成長領域の成長距離は添加する触媒元素の濃度によって変化するため、イオン注入法を用いることで横方向への成長距離を容易に制御することができる。30

【0075】この事は、所望の位置に所望の広さで横成長領域を形成することができることを意味している。即ち、TF Tサイズ (チャンネル形成領域の長さ) を考慮して必要十分な広さの横成長領域を形成することができる。

【0076】(第2の構成の概要) 上述の手段によれば、図3 (A) に示す様に、同一基板上において異なる成長距離の横成長領域を形成することが可能となる。図3 (A) において、301は図1に示す様なシステムディスプレイの簡略図であり、302は画素マトリクス回路、303、304はドライバー回路、305はロジック回路である。40

【0077】画素マトリクス回路302を構成するTF T (画素TF T) は高耐圧特性を要求されるため、チャンネル長 (ゲイト長) を長くする (代表的には  $2 \sim 20 \mu\text{m}$ ) などの工夫が施される。従って、306に示される様に横成長領域の成長距離 $X_1$ は画素TF Tの活性層307の長さ以上とする様に設計する。この時、添加領域308に添加される触媒元素の濃度 $n_1$ は、添加濃度と成長量の関係を実験的に求めて調節すれば良い。50

【0078】一方、ロジック回路305を構成するTF T (ロジックTF T) は高速動作特性を要求されるため、チャンネル長を短くする (代表的には  $0.25 \sim 0.7 \mu\text{m}$ ) などの工夫が施される。従って、309に示される様に横成長領域の成長距離 $X_2$ はロジックTF Tの活性層310の長さに合わせて調節すれば良い。なお、この時、添加領域311の触媒元素の濃度を $n_2$ とする。

【0079】以上の様に、図3 (A) の場合には異なる成長距離 $X_1$ 、 $X_2$ を有する横成長領域が同一基板上に存在する。この場合、 $X_1 > X_2$ である。また、成長距離 $X_1$ 、 $X_2$ を有する横成長領域はそれぞれ異なる触媒元素濃度 $n_1$ 、 $n_2$ の添加領域から成長した領域である。この場合、 $n_1 > n_2$ の関係がある。即ち、この構成は添加領域に存在する触媒元素の濃度が高いほど横成長領域の成長距離が長くなるという現象を利用したものである。

【0080】この様に、同一形状の添加領域であってもそこに添加される触媒元素の濃度を調節することで所望の幅の横成長領域を形成できる。即ち、回路が要求する特性に応じてチャンネル長を変えた場合に、チャンネル長に合わせて異なる成長距離を有する横成長領域を形成する点が、本発明の第2の構成の要点である。

【0081】なお、チャンネル長に合わせて成長距離を異ならせるため、チャンネル長と横成長領域の成長距離との間には何らかの相関関係がある。例えば、チャンネル形成領域が完全に横成長領域内に入る様に、チャンネル長 (またはチャンネル幅) に数 $\mu\text{m}$ の固定マージンを加えた距離が成長距離となる様に触媒元素濃度を調節したり、チャンネル長 (またはチャンネル幅) の2倍の距離が成長距離となる様に調節したりすることも考えられる。この相関関係は成長距離の誤差や活性層形成時のパターンニング精度によって変わりうるので一概には言えないが、触媒元素の添加濃度を決定する上で重要である。

【0082】また、発明の第2の構成の利点は、特に微細なTF Tを作製する領域において必要以上に横成長領域を大きくしないで済む点にある。

【0083】例えば、309に示されるロジックTF Tの活性層を構成する場合、必要以上に横成長領域の幅を長くしてしまうと、他の異なる機能を有する回路にまで横成長領域が広がってしまい、前述の様にTF T特性のバラツキを招く原因となる。この様にしてTF T特性のバラツキが引き起こされると、非常に高い周波数で駆動する回路や、差動アンプやオペアンプに様に極めてシビアにTF T特性の均一性を求められる構成を含む回路を構成する場合に弊害を生じる。

【0084】ここでロジック回路の一例としてオペアンプに本発明の第2の構成を適用した例を図4を用いて説明する。図4 (A) に示すのはTr 1 ~ Tr 8の8つのTF Tを用いて構成されるオペアンプ回路の一例であり、図4 (B) に示す様な回路図で表される。50

【0085】図4 (A) において、401は前述の特異な結晶構造体で構成される活性層であり、Tr1~Tr8を構成している。402は第1の配線層であり、TF Tのゲート絶縁膜や出力用の引き出し配線として利用している (なお、図中において同じ柄の配線は全て同一の配線層である)。また、403は第2の配線層であり、入力端子、電源端子 ( $V_{DD}$  端子)、GND端子、バイアス端子とTF Tとを接続している。そして、404~407がイオン注入法により触媒元素が添加された領域である。

【0086】この時、図4 (A) (または図4 (B)) に示すオペアンプはTr4およびTr8 (またはTr6およびTr7) でなる差動増幅回路を基本として構成される。差動増幅回路は温度変化や電源電圧の変化があっても2つのTF Tと同時に作用するため出力に影響を及ぼさない特徴がある。しかし、そのためには2つのTF Tの特性が揃っていることが前提となる。

【0087】そのため、例えばTr4とTr8を構成する活性層が触媒元素の添加領域から等しい距離の位置に配置される様に、Tr4には添加領域405、Tr8には添加領域407を配置する様な工夫が施されている。また、Tr6とTr7を構成する活性層に関しても同様の処置が施されている。

【0088】なお、TF Tで構成されるロジック回路は高周波動作を必要とするため、ゲイト長が0.25~0.7  $\mu$ m程度にまで微細化される。従って、図4 (A) に示すオペアンプの回路寸法は5~20  $\mu$ m程度の大きさとなる。

【0089】ところが、特開平8-78329号公報記載の技術では触媒元素の添加領域が少なくとも20  $\mu$ mの幅を持つため、TF TとTF Tとの隙間に添加領域を形成することは不可能である。また、横成長領域が必要以上に大きくなるため、上述の様なTF T特性を揃える様な工夫は不可能である。即ち、この図4 (A) に示す構成は、本発明の第2の構成を用いることで成就することが可能なのである。

【0090】また、図4 (A) に示す様な微細な回路では横成長領域が大きくなりすぎると、周囲の横成長領域にまで干渉するため好ましくない。本発明の第2の構成では触媒元素の濃度を調節することで容易に横成長領域の成長距離を制御することが可能なので、微細な配置構成で添加領域を形成する場合においても、横成長領域の相互干渉を最低限に抑えることができる。

【0091】勿論、画素マトリクス回路を構成する画素TF Tの様にゲイト長が長い場合には、触媒元素の添加量を高くして横成長領域の成長距離を長くすることができる。また、TF T特性のバラツキを問題としない様な微細な回路の場合には、触媒元素の濃度を高くして広い横成長領域を形成し、一括で複数の活性層を構成することも可能である。

【0092】

【実施例2】実施例1の図1で示した様なシステムディスプレイにおいて、ロジック回路105やドライバー回路103、104を構成する回路は、Nチャネル型TF TとP型チャネルTF Tとを相補的に組み合わせたCMOS回路 (インバータ回路) を基本構成としている。そして、これらの駆動系回路は0.1~2 GHz、場合によっては2 GHz以上の極めて高い駆動周波数を必要とすることがあるため、ゲイト長は0.25~0.7  $\mu$ mにまで微細化される。

【0093】また、画素マトリクス回路102は液晶表示装置の場合には高い耐圧特性を要求されるのでゲイト長は2~20  $\mu$ m程度の範囲で形成される。なお、場合によっては実質的にTF Tを直列に接続した構成のマルチゲイト型TF Tを用いることもある。

【0094】本実施例では、同一基板上において回路が要求する特性に応じて異なるデバイスサイズのTF Tを配置するに際し、それぞれのデバイスサイズに対応して異なる成長距離を有する横成長領域を形成し、その領域を利用して特異な結晶構造体で構成されるTF Tを作製する例を示す。ここでは一例として、同一基板上にCMOS回路と画素TF Tとを作製する場合の作製工程例を図5~図7を用いて説明する。

【0095】図5 (A) において、501は石英基板である。石英基板の代わりに表面に0.5~5  $\mu$ mの厚さの絶縁膜を成膜したセラミックス基板、単結晶シリコンウェハールおよび多結晶シリコンウェハールを用いることもできる。なお、ここでいうシリコンウェハールは太陽電池に使用される様な低級グレードのウェハールで十分であり、石英よりも安価であるので反射型表示装置やICチップの様に透過性基板を用いる必要のない用途に用いる場合に有効である。

【0096】502は非晶質シリコン膜であり、最終的な膜厚 (熱酸化後の膜減りを考慮した膜厚) が10~75nm (好ましくは15~45nm) となる様に調節する。成膜は減圧熱CVD法またはプラズマCVD法によれば良い。また、503は非晶質シリコン膜502を酸化して得られる5~50nm程度の薄い酸化膜である。

【0097】次に、触媒元素の添加領域を選択するレジストマスク504を形成する。レジストマスク504は、図2に示した様に0.01~1  $\mu$ mの幅を有するコンタクトホールを有している。このコンタクトホールは、後にCMOS回路を構成するTF Tの活性層となる横成長領域を形成するためのものである。

【0098】そして、非晶質シリコン膜の結晶化を助長する触媒元素としてニッケル (Ni) をイオン注入法により添加する。なお、触媒元素としてはニッケル以外にも、コバルト (Co)、鉄 (Fe)、錫 (Sn)、鉛 (Pb)、パラジウム (Pd)、白金 (Pt)、銅 (Cu)、金 (Au) 等を用いることができる。

【0099】この時、添加領域505には、後に成長距離 $X_1$ の横成長領域を形成できる様に濃度 $n_1$ のニッケルが添加される。 $n_1$ の値は後の熱結晶化工程の条件によっても異なるので実施者が実験的に決定すれば良い。

(図5(A))

【0100】次に、レジストマスク504を除去した後、再びレジストマスク506を形成する。このレジストマスク506は、後に画素TFTの活性層となる横成長領域を形成するためのものである。そして、再びイオン注入法によりニッケルを添加する。この時、添加領域507には、後に成長距離 $X_2$ の横成長領域を形成できる様に濃度 $n_2$ のニッケルが添加される。 $n_2$ の値は前述と同様に実施者が実験的に決定すれば良い。(図5(B))

【0101】以上の様に、同一基板上の少なくとも1ヶ所は他の添加領域とは異なる濃度で触媒元素が添加されることになる。

【0102】次に、触媒元素の添加工程が終了したら、不活性雰囲気または水素を含む雰囲気中において500~700℃、代表的には550~650℃の温度で4~8時間の加熱処理を加えて非晶質シリコン膜502の結晶化を行う。結晶化は膜中のニッケル(またはニッケルシリサイド)が核となって進行する。(図5(C))

【0103】非晶質シリコン膜502の結晶化はニッケルを添加した添加領域505、507から優先的に進行し、基板501と概略平行に成長した横成長領域508、509が形成される。前述の様に、添加領域505はニッケル濃度を $n_1$ とし、添加領域507はニッケル濃度を $n_2$ ( $n_1 > n_2$ )としているので、横成長領域508(成長距離 $X_1$ )と横成長領域509(成長距離 $X_2$ )との間には $X_1 > X_2$ の関係がある。即ち、同一基板上の少なくとも1ヶ所は他の横成長領域とは異なる成長距離を有する横成長領域が形成されることになる。

【0104】本発明ではこの横成長領域508、509のみを結晶シリコン膜として利用する。即ち、添加領域の配置によって横成長領域を形成する位置を自由に設計することができるため、従来のポリシリコン膜の様に結晶粒界がTFT特性に影響する様なことがない。

【0105】結晶化のための加熱処理が終了したら、パターンニングを行い横成長領域のみでなる島状半導体層(活性層)510~512を形成する。ここで510はCMOS回路を構成するNチャネル型TFTの活性層、511はCMOS回路を構成するPチャネル型TFTの活性層、512は画素TFTを構成するNチャネル型TFTの活性層である。(図5(D))

【0106】なお、図5(D)に示す状態となっても横成長領域508、509が存在した痕跡が幾つか残る。例えば、添加領域505、507はシリサイド化して優先的に消失するため添加領域の存在した直下の下地(この場合は石英)には凹部が形成される。また、横成長領

域の端部(結晶化の終点)にも触媒元素が偏析するので、この領域にも下地に凹部が形成される。さらに、添加領域505、507は触媒元素の添加濃度が異なるので、棒状または偏平棒状結晶の結晶性や形状も添加濃度に依じて異なると考えられる。

【0107】横成長領域でなる結晶シリコン膜で構成される活性層510~512を形成したら、活性層510~512上に酸化珪素膜でなるゲート絶縁膜513を成膜する。この時、ゲート絶縁膜513の膜厚はCMOS回路側(514で示される)と画素TFT側(515で示される)とで異なるものとするのが望ましい。

【0108】なぜならば、CMOS回路は高周波駆動用にゲート長の短いTFTとなるのでドレイン耐圧が低いことを考慮して動作電圧を低くする必要がある。そのため、ゲート絶縁膜の膜厚を2nm以上80nm未満(代表的には50nm)としてしきい値電圧を下げ、動作電圧の低下を図ることが好ましい。また、画素TFTは動作電圧が高いのでゲート絶縁膜の膜厚を80nm以上250nm以下(代表的には120nm)としてドレイン耐圧を高くする工夫を施すことが有効である。

【0109】同一基板上に異なる膜厚のゲート絶縁膜を形成するには、マスクを用いて選択的に積層したり、LOCOS法の如き選択酸化法を用いて特定の活性層に熱酸化膜を形成し、膜厚を厚くするなどの方法を用いれば良い。また、最終的に必要とするゲート絶縁膜の厚さが50nm以下となる場合、後の熱酸化工程で得られる熱酸化膜のみをゲート絶縁膜として利用することもできる。

【0110】次に、図5(E)に示す様に触媒元素(ニッケル)をゲッターリング除去するための加熱処理(触媒元素のゲッターリングプロセス)を行う。この加熱処理はハロゲン元素による金属元素のゲッターリング効果を利用するものである。

【0111】ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700℃を越える温度で行なうことが好ましい。そのため、本実施例ではこの加熱処理を700℃を超える温度で行い、好ましくは800~1000℃(代表的には950℃)とし、処理時間は0.1~6時間、代表的には0.5~1時間とする。

【0112】なお、ここでは酸素( $O_2$ )雰囲気中に対して塩化水素(HCl)を0.5~10体積%(本実施例では3体積%)の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、活性層209の表面に膜厚と同程度の凹凸が生じてしまうため好ましくない。

【0113】また、上述の酸化性雰囲気中に高濃度の窒素( $N_2$ )を混ぜた雰囲気とすることで結晶シリコン膜の酸化速度を低下させることができる。熱酸化反応を必要以上に進ませずにゲッターリング時間を増やす場合に有効な手段である。

【0114】また、ハロゲン元素を含む化合物としてHCl

1 ガスを用いる例を示したが、それ以外のガスとして、代表的には  $\text{HF}$ 、 $\text{NF}_3$ 、 $\text{HBr}$ 、 $\text{Cl}_2$ 、 $\text{ClF}_3$ 、 $\text{BCl}_3$ 、 $\text{F}_2$ 、 $\text{Br}_2$ 、等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0115】この工程においては横成長領域508、509中に添加されたニッケルが塩素の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。なお、シリコン膜上の酸化膜503やゲッターリングプロセス中に形成される熱酸化膜は非常に薄いので塩化ニッケルの離脱を妨げるブロッキング層とはならない。

【0116】そして、この触媒元素のゲッターリングプロセスにより横成長領域508、509中のニッケルの濃度は  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下（好ましくはスピン密度以下）にまで低減される。なお、本明細書における不純物濃度はSIMS分析で得られた計測値の最小値で定義される。なお、同様のSIMS分析により横成長領域508、509中にはゲッターリング処理に使用したハロゲン元素が  $1 \times 10^{15} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup> の濃度で残存することを確認されている。

【0117】また、上記加熱処理により活性層510～512とゲイト絶縁膜513の界面では熱酸化反応が進行し、形成された熱酸化膜（図示せず）の分だけゲイト絶縁膜513の全膜厚は増加する。そのため、熱酸化膜の形成分に比例して活性層510～512は薄膜化される。活性層の薄膜化はTFETのオフ電流の低減、電界効果移動度の向上などの効果を促進する。また、その際、活性層510～512と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することがSIMS分析によって確かめられている。

【0118】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950℃1時間程度の加熱処理を行なうことで、ゲイト絶縁膜513の膜質の向上と共に、極めて良好な半導体／絶縁膜界面が実現される。

【0119】以上の様な工程を経て形成された結晶シリコン膜は実施例1に述べた様な特異な結晶構造体となっている。即ち、実施例1に示した様な極めて優れた電気特性を有するTFETを実現することが可能となる。

【0120】次に、0.2wt%のスカンジウムを含有したアルミニウム膜（図示せず）を成膜し、後のゲイト電極の原型となる電極パターンを形成する。そして、そのパターンの表面を陽極酸化することで、ゲイト電極516～518、陽極酸化膜519～521を形成する。（図6（A））

【0121】この時、ゲイト電極516～518の線幅（ゲイト長）は回路が要求する特性を鑑みて決定すれば良い。高周波駆動を要求するロジック回路等であれば、25～0.7 μmとすれば良いし、高耐圧特性を要求する画

素マトリクス回路等であれば2～20 μmとすれば良い。

【0122】次に、ゲイト電極516～518をマスクとして自己整合的にゲイト絶縁膜513のエッチングを行う。エッチングは $\text{CHF}_3$ 、ガスを用いたドライエッチング法で行えば良い。この工程により、ゲイト電極の直下のみに残存するゲイト絶縁膜522～524が形成される。

【0123】次に、Pチャネル型TFETとなる領域を覆ってレジストマスク525を形成した後、N型を付与する不純物イオンの添加を行う。不純物イオンの添加はイオン注入法やプラズマドーピング法によれば良い。また、この時の濃度（ $n^-$  で表す）は後にLDD領域の濃度（ $1 \times 10^{18} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup> 程度）となるので、予め最適値を実験的に求めて精密な制御を行う必要がある。こうして、 $n^-$  領域526～529が形成される。

（図6（B））

【0124】 $n^-$  領域526～529を形成したら、レジストマスク525を除去して、今度はNチャネル型TFETを覆ってレジストマスク530を形成する。そして、P型を付与する不純物イオンの添加を行い、 $p^-$  領域531、532を形成する。この $p^-$  領域531、532も後にLDD領域の濃度（ $5 \times 10^{18} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup> 程度）となるので精密な制御を行う必要がある。

（図6（C））

【0125】以上の様にして $n^-$  領域526～529、 $p^-$  領域531、532を形成したら、レジストマスク530を除去する。そして、図示しない酸化珪素膜を0.5～2 μmの厚さに成膜し、エッチバック法によりサイドウォール533～535を形成する。（図6（D））

【0126】次に、再びPチャネル型TFETを覆ってレジストマスク536を形成し、N型を付与する不純物イオンの添加工程を行う。今回は前述の添加濃度である $n^-$  よりも高い濃度（ $n^+$  で表す）で添加する。この濃度はソース／ドレイン領域のシート抵抗が500 Ω以下（好ましくは300 Ω以下）となる様に調節する。

【0127】この工程によりCMOS回路を構成するNチャネル型TFETのソース領域537、ドレイン領域538が形成され、サイドウォールの影になって濃度の変化しなかった領域539が低濃度不純物領域（特にドレイン領域側はLDD領域と呼ばれる）となる。また、ゲイト電極の直下は真性または実質的に真性なチャネル形成領域540となる。また、同時に画素TFETとなるNチャネル型TFETのソース領域541、ドレイン領域542、低濃度不純物領域543、チャネル形成領域544が形成される。（図6（E））

【0128】次に、レジストマスク536を除去し、Nチャネル型TFETを覆ってレジストマスク545を形成する。そして、P型を付与する不純物イオンを1度目よりも高い濃度（ $p^+$  で表す）で添加することにより、C



MOS回路を構成するPチャネル型TFTのソース領域546、ドレイン領域547、低濃度不純物領域548、チャネル形成領域549を形成する。(図7(A))

【0129】以上の様にして全ての活性層が完成する。こうして全ての不純物イオンの添加工程が終了したら、レジストマスク545を除去した後、ファーンズアニール、レーザーアニール、ランプアニール等の加熱処理により不純物イオンの活性化を行う。なお、活性層が受けたイオン注入時のダメージは同時に回復される。

【0130】次に、チタン(Ti)膜550を20~50nmの厚さに成膜して、ランプアニールによる加熱処理を行う。この時、チタン膜550と接触していたシリコン膜はシリサイド化し、ソース/ドレイン領域にはチタンシリサイド551~553が形成される。なお、チタンの代わりにタングステン(W)、タンタル(Ta)、モリブデン(Mo)等を用いることもできる。

【0131】シリサイド化を終えたら、チタン膜550をパターンニングしてソース/ドレイン領域上に島状パターン554~556を形成する。この島状パターン554~556は、後にソース/ドレイン領域と配線とを接続するコンタクトホールを形成する際にチタンシリサイド551~553が無くなってしまうのを防ぐためのパターンである。勿論、コンタクトホールを形成する層間絶縁膜とチタンシリサイドとの選択比が大きければ島状パターン554~556を省略することは可能である。

【0132】次に、第1の層間絶縁膜557として酸化珪素膜を0.3~1 μmの厚さに成膜し、コンタクトホールを形成してソース配線558~560、ドレイン配線561、562を形成する。こうして図7(C)に示す状態が得られる。なお、第1の層間絶縁膜557として有機性樹脂膜を用いることもできる。

【0133】図7(C)に示す状態が得られたら、有機性樹脂膜でなる第2の層間絶縁膜563を0.5~3 μmの厚さに形成する。有機性樹脂膜としてはポリイミド、アクリル、ポリアミド、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、①成膜方法が簡単である点、②容易に膜厚を厚くできる点、③比誘電率が低いので寄生容量を低減できる点、④平坦性に優れている点などが挙げられる。

【0134】そして、層間絶縁膜563上の画素TFTの上方に遮光性を有する膜でなるブラックマスク564を100nmの厚さに形成する。実際には画素マトリクス回路の配線上やTFT上の様に遮光の必要性のある場所に設ける。本実施例ではブラックマスクとしてチタン膜を用いるが、黒色顔料を含む樹脂膜等でも良い。

【0135】ブラックマスク564を形成したら、第3の層間絶縁膜565として再び有機性樹脂膜を0.1~0.3 μmの厚さに形成する。そして、第2の層間絶縁膜563および第3の層間絶縁膜565にコンタクトホール

を形成し、画素電極566を120nmの厚さに形成する。

(図7(D))

【0136】なお、作製する表示装置が透過型表示装置であれば画素電極566として透明導電膜(例えばITO膜)を用いれば良く、反射型表示装置であれば画素電極566として反射性導電膜(例えばアルミニウム膜)を用いれば良い。

【0137】また、この時ブラックマスク564と画素電極566が重畳する領域では補助容量が形成される。

10 この補助容量は画素電極にかかる電圧を一定に保つための蓄積容量として機能する。そのため、本実施例では補助容量を構成する絶縁体として第3の層間絶縁膜565を用いるが、第3の層間絶縁膜565をさらに比誘電率の高い酸化珪素膜や窒化珪素膜とすれば補助容量のキャパシティを増すことが可能である。

【0138】最後に、基板全体を水素雰囲気で加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(未結合手)を補償する。以上の工程を経て同一基板上にCMOS回路および画素TFTを作製することができる。

【0139】

【実施例3】本実施例では図1に示す様なシステムディスプレイにおいて画素マトリクス回路を構成する画素領域の構成に関する一例を示す。まず、図14(A)に画素領域の上面図を示す。

【0140】図14(A)において1401、1402は活性層、1403、1404はゲイト線、1405、1406はソース線である。実際には複数本のソース線とゲイト配線とが直交する様に配置され、ソース線とゲイト線とで囲まれた複数のマトリクス状に配置された領域が図1における画素領域110として機能する。

【0141】また、活性層1402の上方では3箇所においてゲイト線1404が重畳する。即ち、本実施例の構成では3つの画素TFTを直列に接続したのと同様の構造となるトリプルゲイト型TFTが構成される。

【0142】また、ゲイト配線1405、1406を活性層1401、1402よりも下層に配置して逆スタガ型TFTの様な構造とすることも可能である。その場合、シリコン薄膜の作製過程で行われる図5(E)の様な加熱処理にも耐えうる様に、ゲイト電極としてはポリシリコン膜の様な耐熱性の高い材料を用いるのが好ましい。

【0143】次に、1407は活性層1402(ソース領域)とソース線1405とのコンタクト部、1408は活性層1402(ドレイン領域)とドレイン配線1409とのコンタクト部、1410はドレイン配線1409と画素電極1411とのコンタクト部である。

【0144】1412の斜線で示される領域はブラックマスクであり、活性層1401、1402、ゲイト配線1403、1404、ソース線1405、1406上を



遮蔽する様にして形成される。また、ブラックマスク 1412 は 1413 で示される領域においてドレイン配線 1409 と重畳し、ドレイン配線 1409 との間に補助容量を形成する。

【0145】また、ブラックマスク 1412 上には第 3 の層間絶縁膜を介して画素電極 1411 が配置されている。画素電極 1411 はその淵部分が必ずブラックマスク 1412 によって遮光される構成とし、ブラックマスク 1412 と重畳しない 1414 で示される領域が画像を形成する画像表示領域となる。なお、実際には、画素電極 1411 の上には対向基板、対向電極、液晶層が配置されて図 1 に示す液晶セル 112 を構成する。

【0146】次に、図 14 (A) を A-A' で切断した断面図を図 14 (B) に示す。なお、基本的なトランジスタ構造については実施例 2 で詳細な説明を行ったので、ここでは図 14 (A) との対応関係についてのみ記載する。

【0147】図 14 (B) において、1415 は石英基板、1416、1417 はそれぞれ図 14 (A) における活性層 1402 のソース領域およびドレイン領域である。また、1418 はゲート電極であり、図 14 (A) におけるゲート配線 1404 の相当する。なお、図面上では 3 つのゲート電極が並んでいる様に見えるが、実際には図 14 (A) の様に同一配線で構成されている。

【0148】次に、第 1 の層間絶縁膜 1419 上にソース配線 1420 (図 14 (A) の 1405 に相当する)、ドレイン配線 1421 (図 14 (A) の 1409 の相当する) が配置される。なお、1422 はソース線 1420 と隣接する隣のソース線である。

【0149】そして、ソース配線 1420、ドレイン配線 1421 を覆って酸化珪素膜または窒化珪素膜あるいはその積層膜でなる第 2 の層間絶縁膜 1423 を 50~200nm の厚さに形成し、その上に有機性樹脂膜でなる第 3 の層間絶縁膜 1424 を形成する。さらに、第 3 の層間絶縁膜 1424 上にはブラックマスク 1425 (図 14 (A) の 1412 の相当する) が配置される。

【0150】この時、ブラックマスク 1425 を形成する前に第 3 の層間絶縁膜 1424 は 1426 で示される領域において除去される。従って、1426 で示される領域では、ドレイン配線 1421 と第 2 の層間絶縁膜 1423 とブラックマスク 1425 との積層構造でなる補助容量 1427 が形成される。この補助容量 1427 は図 14 (A) において 1411 で示される補助容量に相当する。

【0151】補助容量 1427 を図 14 (B) に示す様な構成とすると、補助容量のキャパシタンス (容量) が第 2 の層間絶縁膜 1423 で決まるので、比誘電率の高い材料を用いること或いは膜厚を薄くすることで容量を稼ぐことができる。ただし、補助容量 1427 を形成するには 1426 で示される領域において第 2 の層間絶縁

膜 1423 のみを残して第 3 の層間絶縁膜 1424 を除去しなくてはならないので、第 2、第 3 の層間絶縁膜はそれぞれエッチングの選択性が採れなくてはならない。その様な意味で、第 2 の層間絶縁膜 1423 としては酸化珪素膜または酸化珪素膜と窒化珪素膜との積層膜が有効である。

【0152】次に、1428 は有機性樹脂膜でなる第 4 の層間絶縁膜であり、その上には画素電極 1429 が形成される。この時、画素電極 1429 はドレイン配線 1421 を介してドレイン領域 1417 と電気的に接続する。このため、補助容量 1427 は画素電極 1429 に対して直列に接続された容量と見なせる。

【0153】また、1430 で示される基板は対向電極 1431 を成膜した対向基板であって、アクティブマトリクス基板 1415 と対向基板 1430 とを貼り合わせることで液晶層 1432 を挟持し、図 1 における液晶セル 112 が形成される。

【0154】

【実施例 4】本実施例では実施例 2 と異なる構成を有する CMOS 回路を構成する場合の例について図 15

(A)、(B) を用いて説明する。なお、図 15

(A)、(B) は基本的な部分は全て実施例 2 で説明した CMOS 回路と同一構造であるので、符号は実施例 2 と同一のものを適宜利用する。

【0155】まず、図 15 (A) は実施例 2 で示した CMOS 回路において、ゲート電極 1501、1502 として一導電性を付与したシリコン薄膜 (ポリシリコン膜) を利用したシリコンゲート型 TFT で CMOS 回路を構成する例である。なお、N チャネル型 TFT と P チャネル型 TFT とでゲート電極の導電性を異なるものとする (N 型または P 型) デュアルゲート型 TFT とすることもできる。

【0156】この様なシリコンゲート構造とすると、チタンシリサイド 551、552 の形成と同時にゲート電極 1501、1502 の上部にもチタンシリサイド 1503、1504 が形成される。そのため、ゲート電極とゲート電極に接続する接続配線とのオーミックコンタクトをより良好なものとすることができる。

【0157】また、図 15 (B) は実施例 2 で示した CMOS 回路において、サイドウォール 533、534 およびチタンでなる島状パターン 554、555 を形成しない場合の例である。この構成では、ゲート絶縁膜 1505、1506 の端部 (ゲート電極 516、517 よりも外側に延在した部分) の幅で低濃度不純物領域 539、548 の長さが決定される。また、チタンシリサイド 1507、1508 とソース配線 558、559、561 とが直接コンタクトする様な構造となる。

【0158】実施例 2 におけるサイドウォール 533、534 の主だった役割は、低濃度不純物領域 539、548 の長さおよび添加濃度の決定である。しかし、図 1

5 (B) に示す構成では本発明者らによる特開平7-1353 18号公報記載の技術を利用しているため、サイドウォールを利用しない構成とすることができる。

【0159】また、実施例2における島状パターン554、555の主だった役割は、ソース／ドレイン領域に形成されたチタンシリサイド551、552と、ソース／ドレイン配線とのオーミックコンタクトを確保することである。この場合、島状パターン554、555は、層間絶縁膜557にコンタクトホールを形成する際にチタンシリサイド551、552が除去されてしまうことを防ぐ保護層としても機能している。

【0160】本実施例ではコンタクトホール形成をドライエッチング法で行い、層間絶縁膜557とチタンシリサイド551、552との選択比を高めることで、保護層として島状パターン554、555を設ける必要のない構成としている。

【0161】以上の様にしてサイドウォール533、544および島状パターン554、555を形成する工程を簡略化することで、スループットの向上、歩留りの向上、製造コストの低減が期待できる。

【0162】

【実施例5】本発明を実施するにあたって、発明の第1の構成で説明したシリコン薄膜が必要であることは既に述べた。本実施例では、実施例2とは異なる手段で結晶化したシリコン薄膜を本発明に用いる場合の例を示す。

【0163】図5において、図5(C)に示す状態(結晶化のための加熱処理が終了した段階)を得たら、結晶シリコン膜表面の酸化膜503を除去する。酸化膜503を除去したら、KrF(波長248nm)、XeCl(波長308nm)等を励起ガスとして利用したエキシマレーザーによるアニールを行う。なお、このレーザーアニール工程はシリコン薄膜を島状パターンに加工する前でも後でもどちらで行っても構わない。

【0164】上記レーザーアニールによって、結晶シリコン薄膜に僅かに残存した非晶質成分の結晶化及び結晶シリコンの結晶性の著しい改善が行われる。この様にして得られたシリコン薄膜を用いても、本発明のシステムディスプレイを形成しうる。本実施例の利点は、システムディスプレイを安価なガラス基板上に形成できる点である。即ち、製造コストの低減を図ることができる。

【0165】ただし、本発明を実施する上で最も望ましい形態は実施例1に示したシリコン薄膜を活用したTFEを用いることであり、本実施例は基板としてガラス基板等の低耐熱性基板を使用する必要性が生じた場合にのみ使用するのが好ましい。

【0166】また、実施例1に示した工程と本実施例の工程とを組み合わせても良い。即ち、レーザーアニール工程の後に触媒元素のゲッタリングプロセスを行う構成としても構わない。その場合、さらに高い結晶性のシリコン薄膜を形成しうる。

【0167】

【実施例6】本発明は図2を用いて説明した様なイオン注入法だけでなく、他の実施形態としてレジストマスクを使用しないで触媒元素を直接的に非晶質シリコン膜中へと添加することもできる。

【0168】そのための手段としては、FIB(Focussed Ion Beam)法等の様に微細スポットのみにイオンを照射できる様な技術がある。この様な技術によれば触媒元素を含む集束イオンビームによって直接的にパターンが描画され、所望の位置に所望の形状で触媒元素の添加領域を形成できる。

【0169】本実施例によればレジストマスクを形成する工程やパターンニング工程を簡略化することができるので、製造コストの低減および製造歩留りの向上を図ることが可能である。

【0170】

【実施例7】本実施例では実施例2に示した層間絶縁膜(第1～第3まで)の組み合わせについての幾つかの例を説明する。

【0171】まず、図7(D)においてアルミニウムを主成分とする配線558～562の下地となる第1の層間絶縁膜557およびチタン膜でなるブラックマスク564の下地となる第2の層間絶縁膜565としてはポリイミドを用いる。そして、画素電極566の下地となる第3の層間絶縁膜565はアクリルを用いる。

【0172】本発明者らの実験条件では配線558～562とブラックマスク564の成膜温度(300℃程度)がアクリルの耐熱温度(200℃程度)よりも若干高いため、下地としては成膜温度に耐えうるポリイミド(耐熱温度は350～400℃程度)を用いることが好ましい。また、画素電極566は室温成膜なので下地として耐熱性の低いアクリルを使用することができる。ただしこの構成は、画素電極566がITO等の様に成膜温度の低い材料(アクリルの耐熱温度以下で成膜できる材料)である場合に限る。

【0173】この様な構成とした時、次の様な利点を得ることができる。

(1) アクリルは感光性であるためレジストマスクを使用しないで直接パターンニングできるため、製造工程を簡略化できる。

(2) アクリルはポリイミドよりも安価なので製造コストを低減できる。

(3) ITOとポリイミドとの間の密着性よりもITOとアクリルとの間の密着性の方が良好である。

(4) アクリルの方が平坦性に優れるため、画素電極上にかかる電界を均一なものとすることができる。

【0174】また、別の例として全ての層間絶縁膜をポリイミドで形成することもできるし、全ての層間絶縁膜をアクリルで形成することもできる。ただし、全ての層間絶縁膜をアクリルで形成する場合、アクリルを成膜し

た後の工程は全てアクリルの耐熱温度以下で行われることが条件である。

【0175】

【実施例8】本発明はあらゆる半導体装置に対して適用可能であり、絶縁表面を有する基板上においてTFTを用いて回路を構成した半導体装置であれば全て適用範囲に入る。その様な半導体装置は、ICやVLSIの様にロジック回路のみとして機能する場合もあるし、アクティブマトリクス型電気光学装置の様に表示ディスプレイとして機能する場合もある。

【0176】特に、アクティブマトリクス型電気光学装置としては、図1に示した様なロジック回路内蔵型のシステムディスプレイを用いてアクティブマトリクス型液晶表示装置、アクティブマトリクス型EL表示装置、アクティブマトリクス型EC表示装置などに適用することができる。

【0177】また、これらの様なアクティブマトリクス型の表示装置には大別して透過型表示装置と反射型表示装置とがある。例えば、透過型液晶表示装置はアクティブマトリクス基板（TFTを配置する側の基板）の裏側にバックライトを配設し、表示装置を透過する光を見ることで画像を認識するものである。また、反射型液晶表示装置はアクティブマトリクス基板の表面側から入射した光をアクティブマトリクス基板に配置される画素電極で反射し、その反射光を見ることで画像を認識するものである。

【0178】透過型表示装置と反射型表示装置とでTFT構造に大きな差異がないが、画素電極を形成する材料が異なる点に特徴がある。例えば、透過型表示装置を作製する場合、図14（A）における画素電極1411としてITO等の透明電極を使用すれば良い。また、反射型表示装置とする場合には、画素電極1411として反射効率の高い不透明電極を使用すれば良い。

【0179】この様に、多少TFT構造を変化させれば、本発明は透過型表示装置にも反射型表示装置にも適用できる。特に、反射型表示装置は開口率を問題としないため、透過型表示装置に比べて設計自由度が広がるという利点を有する。例えば透過型液晶表示装置において画素領域は殆ど画像表示領域1414の様に光を透過する窓部分で構成されているが、反射型液晶表示装置の場合にはその様な画像表示領域の裏側に別の回路を形成することが可能であるため集積度をより高めることができる。

【0180】

【実施例9】本実施例では、本発明を適用しうる半導体装置の一例として実施例8で示した様な電気光学装置を用いた応用製品について図16を用いて説明する。

【0181】本発明を利用した半導体装置としては（デジタル）ビデオカメラ、（デジタル）スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パー

ソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。

【0182】図16（A）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明を表示装置2005に適用して表示コントロール回路や演算回路等を組み込むことでカード型モバイルコンピュータを実現しうる。

10 【0183】図16（B）はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明を表示装置2102に適用することで大幅に装置の小型化が図れる。

【0184】図16（C）はカーナビゲーションシステムであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。カーナビゲーションシステムには衛星からの情報が送られるため、信号処理には非常に高い駆動周波数の回路が必要となる。本発明を表示装置2202に適用することでカーナビゲーションシステムのさらなる小型化、低価格化が可能となる。

【0185】図16（D）は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明を表示装置2304に適用することでデジタル対応の表示モニタを搭載できる。

【0186】図16（E）はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。本発明を表示装置2402に適用することで装置構成が大幅に簡略化されるため、非常に小型な装置を実現しうる。

【0187】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。また、本発明を適用することでアクティブマトリクス型表示装置自体に様々な機能を持たせることができるため、電気光学装置のサイズが極めて小さくなる。将来的にはシステムディスプレイによってカード化された携帯型電気光学装置となりうる。

40 【0188】

【発明の効果】まず、本発明を実施する上で極めて重要な第1の発明の構成は、触媒元素を利用して結晶化した結晶シリコン膜に対してハロゲン元素による触媒元素のゲッタリングプロセスを施すことで、極めて特異な結晶構造体を有するシリコン薄膜を得るものである。

【0189】実施例2に示した様な作製工程で形成されるシリコン薄膜を用いたTFTは単結晶シリコンを用いたMOSFETに匹敵するサブスレッショルド係数を有し、高い電界効果移動度を有しているという特徴がある。また、棒状または偏平棒状結晶が複数集合してなる結晶構

造体でなるシリコン薄膜は、それ自体に短チャネル効果を抑制する効果があり、TFTを微細化してもチャネルドーピング法等に頼る必要がなく、高耐圧・高速動作特性を実現することができる。

【0190】この様な極めて高い性能、即ち駆動周波数域および動作電圧域の幅広いTFTを用いることで、高周波駆動型TFTと高耐圧駆動型TFTとを同一基板上に形成することが可能となる。

【0191】また、第2の発明の構成は、触媒元素の添加方法としてイオン注入法を用いることで所望の位置に所望の成長距離を有する横成長領域を形成できるというものである。この技術により、チャネル長（ゲイト長）が0.25~0.7  $\mu\text{m}$ といった極めて微細なTFTで回路を構成する場合においても、回路配置に合わせて適当な大きさの横成長領域を形成できるので容易に素子特性を揃えることができる。

【0192】以上の様な効果を得られたことで、絶縁表面を有する基板上にTFTでもってロジック回路を形成した半導体装置を作製することができる。また、同一基板上に高周波駆動型TFTと高耐圧駆動型TFTとを混載したロジック回路、ドライバー回路および画素マトリクス回路を配置したロジック回路内蔵型の半導体装置をも実現することができる。

【0193】本発明の半導体装置は画素マトリクス回路やドライバー回路以外に、表示コントロール回路、メモリ回路、究極的には演算回路をも含むうるロジック回路を搭載するため、極めて多機能性、携帯性に優れたシステムディスプレイとして機能する。また、高周波駆動回路は動作電圧が必要以上に大きくならない様に設計されるので、低消費電力性にも優れたものとなる。

【0194】さらに、その様な半導体装置を、例えば液晶表示装置やそれを表示モニタとして利用した応用製品に適用することで、極めて小型かつ軽量で、安価な製品を提供することが可能である。

#### 【図面の簡単な説明】

- 【図1】 システムディスプレイの上面図。  
 【図2】 イオン注入工程を説明するための図。  
 【図3】 発明の第2の構成を説明するための図。  
 【図4】 オペアンプ回路の構造および回路構成を示す図。  
 【図5】 CMOS回路および画素TFTの作製工程

を示す図。

【図6】 CMOS回路および画素TFTの作製工程を示す図。

【図7】 CMOS回路および画素TFTの作製工程を示す図。

【図8】 特異な結晶構造体を説明するための写真。

【図9】 リングオシレータの周波数特性を示す図。

【図10】 リングオシレータの出力スペクトルを示す写真。

10 【図11】 シフトレジスタの出力パルスを示す写真。

【図12】 周波数とパルス幅の関係を示す図。

【図13】 スケーリング則を説明するための図。

【図14】 画素領域の構成および構造を説明するための図。

【図15】 CMOS回路の構造を示す図。

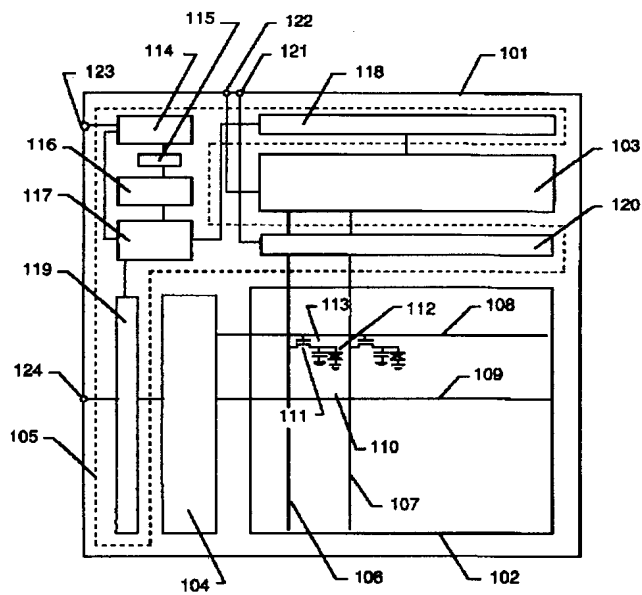
【図16】 応用製品を例示するための図。

【図17】 結晶粒界の格子状態を説明するための写真。

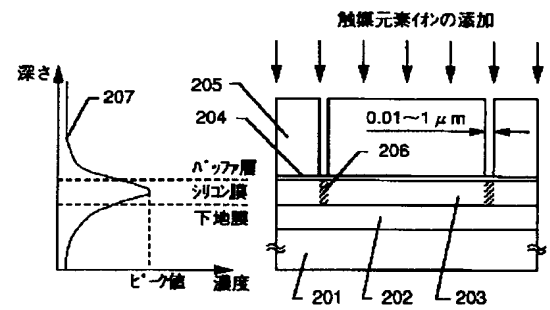
#### 【符号の説明】

- 20 101 基板  
 102 画素マトリクス回路  
 103 ソース線ドライバー回路  
 104 ゲイト線ドライバー回路  
 105 ロジック回路  
 106、107 ソース線  
 108、109 ゲイト線  
 110 画素領域  
 111 画素TFT  
 112 液晶セル  
 30 113 補助容量  
 114 位相比較器  
 115 LPF  
 116 電圧制御型発振器  
 117 分周器  
 118 水平走査用発振器  
 119 垂直走査用発振器  
 120 D/Aコンバータ  
 121 アナログ信号の入力端子  
 122 ビット信号の入力端子  
 40 123 水平走査用同期信号の入力端子  
 124 垂直走査用同期信号の入力端子

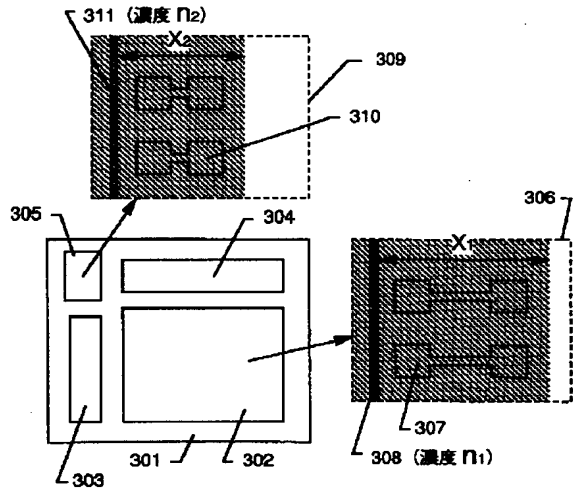
【図 1】



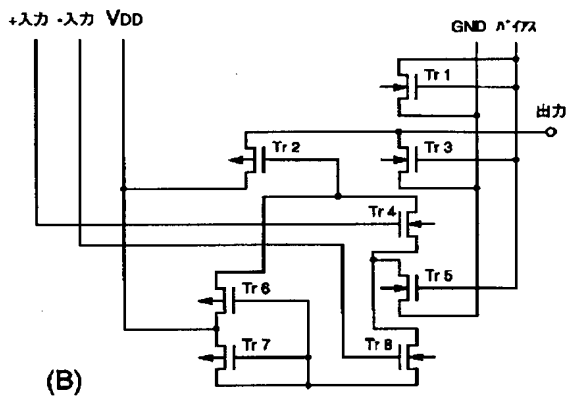
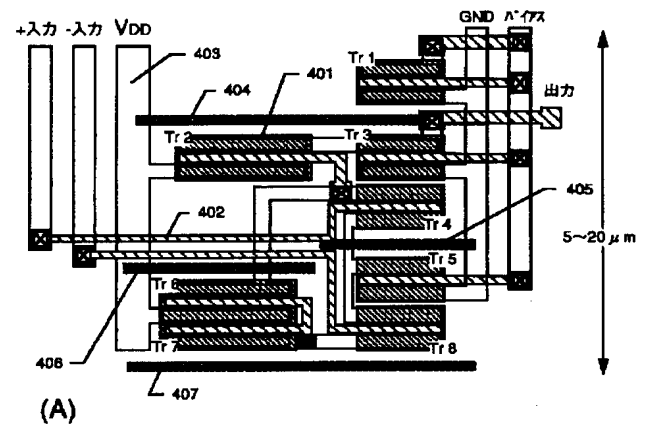
【図 2】



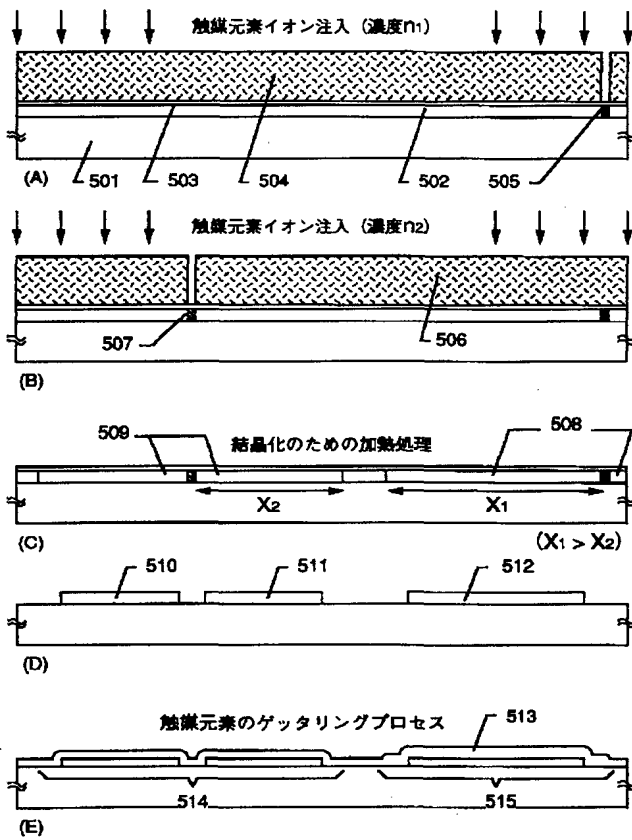
【図 3】



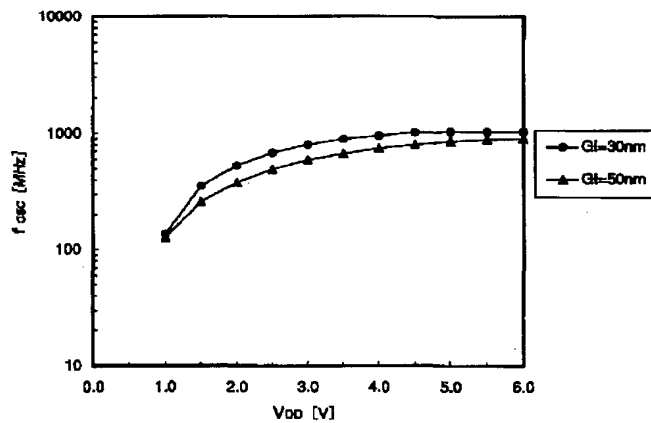
【図 4】



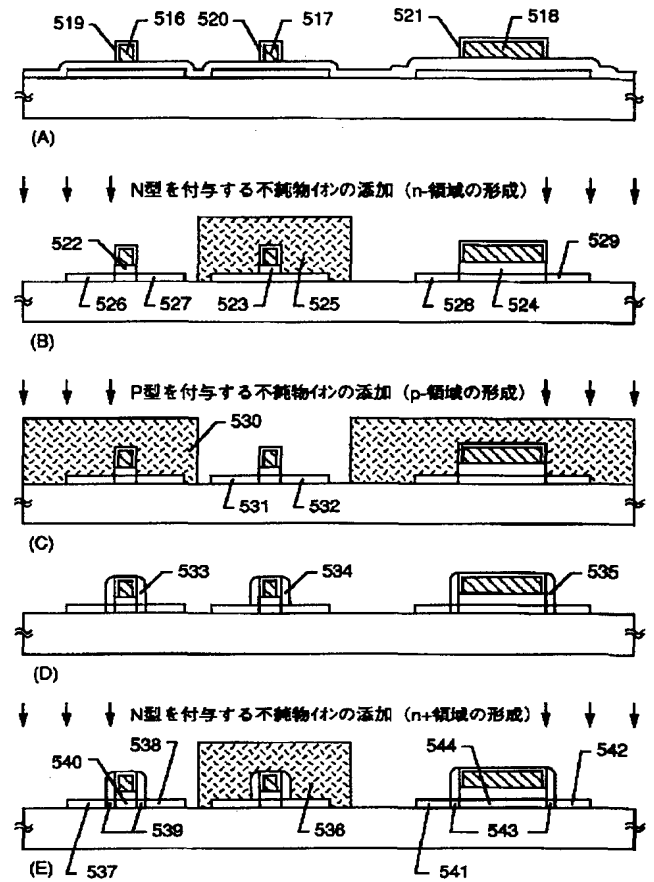
【図 5】



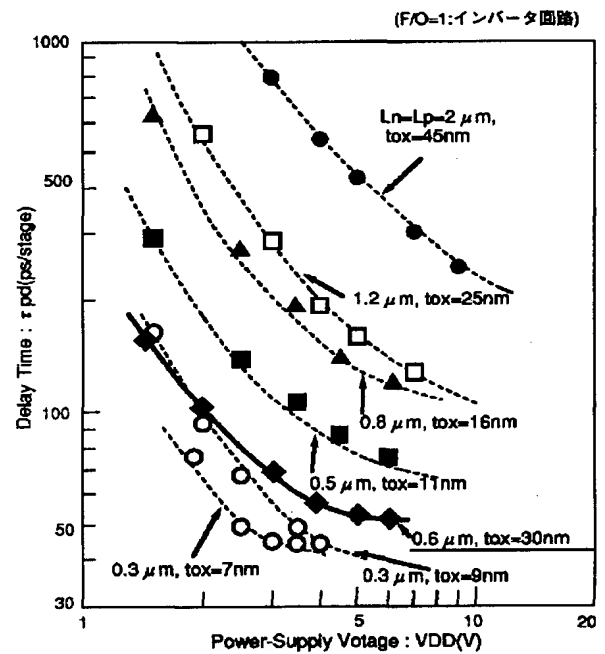
【図 9】



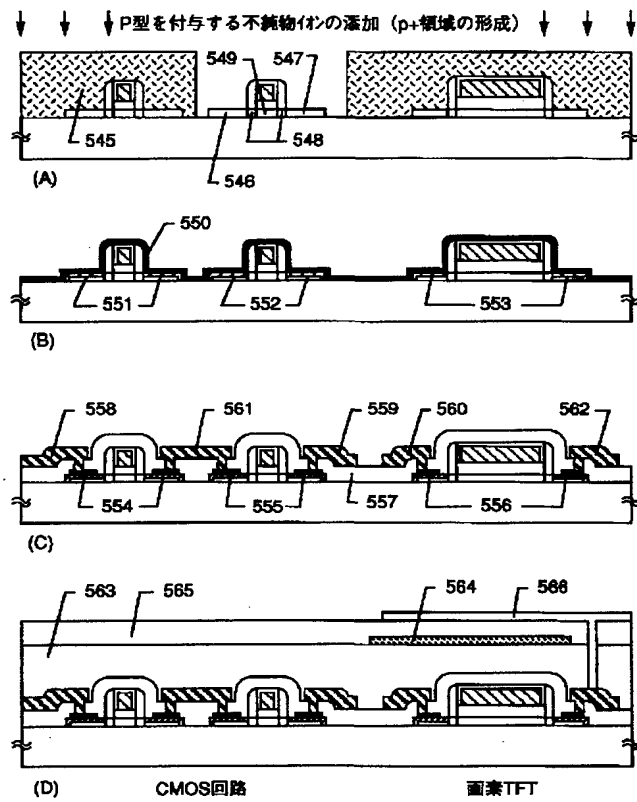
【図 6】



【図 13】



【図7】



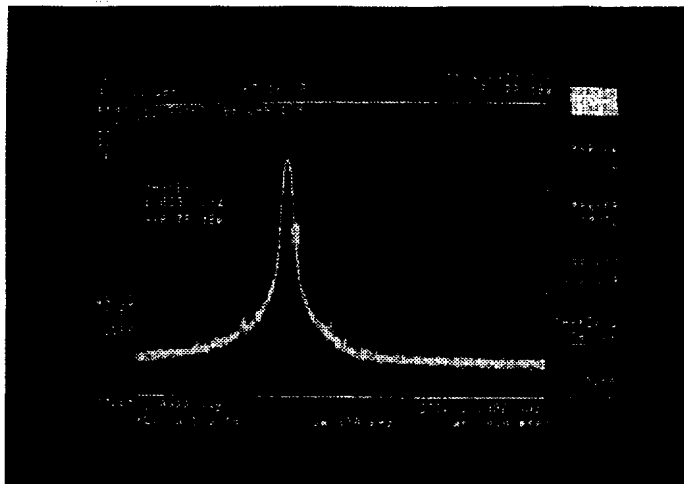
【図8】

図面代用写真



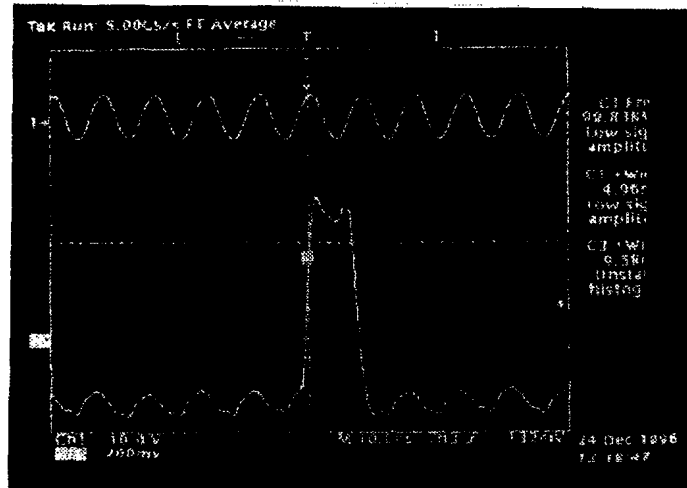
【図10】

図面代用写真

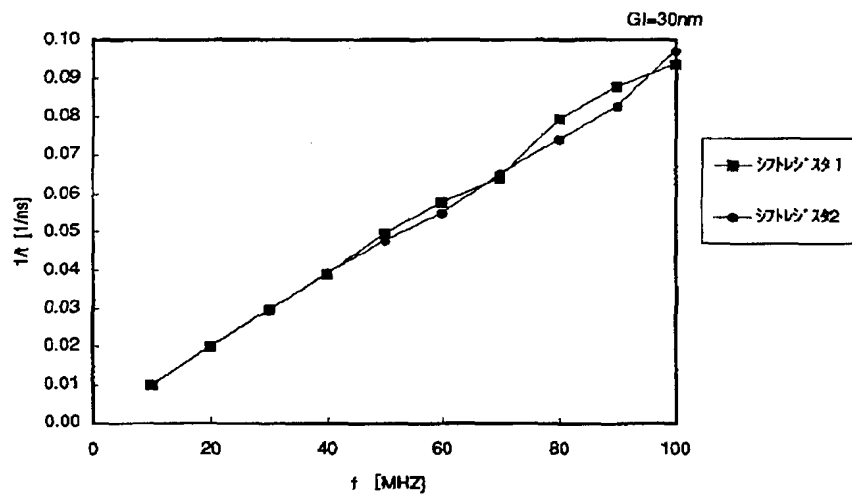


【図11】

図面代用写真

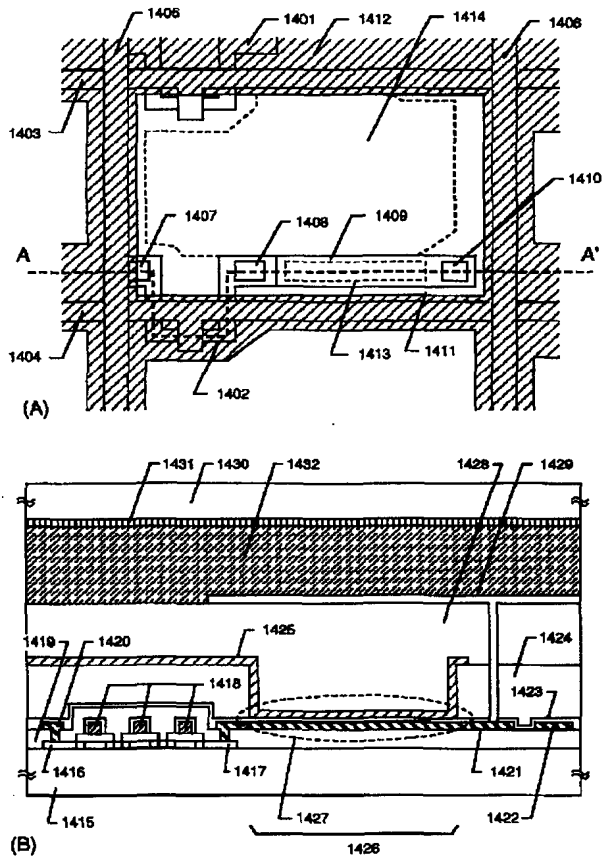


【図12】

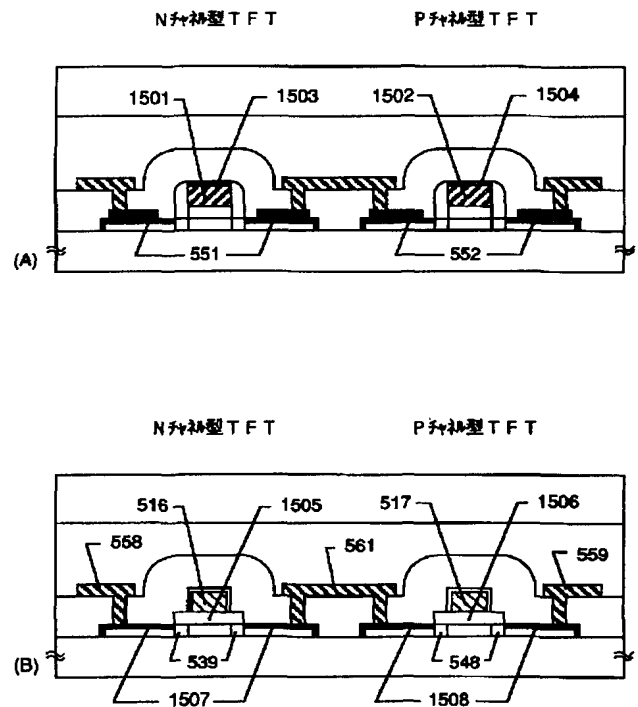




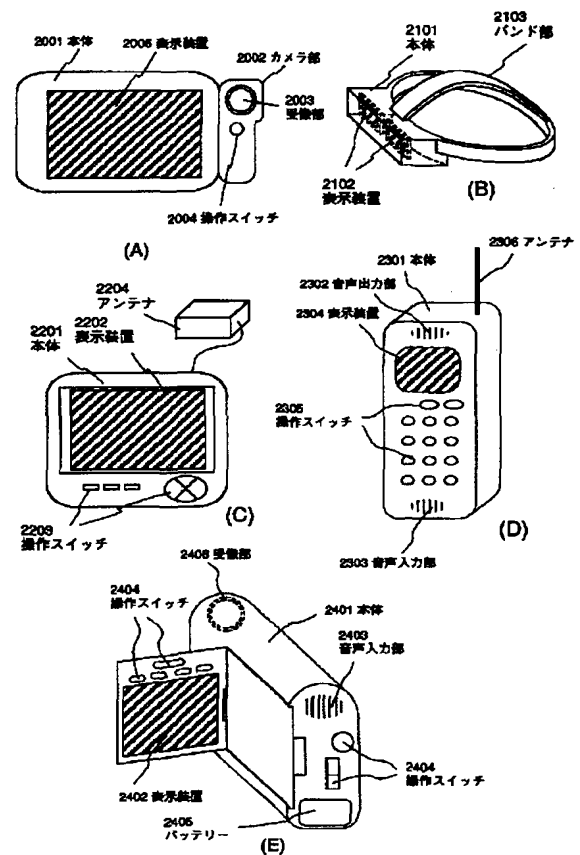
【図 14】



【図 15】

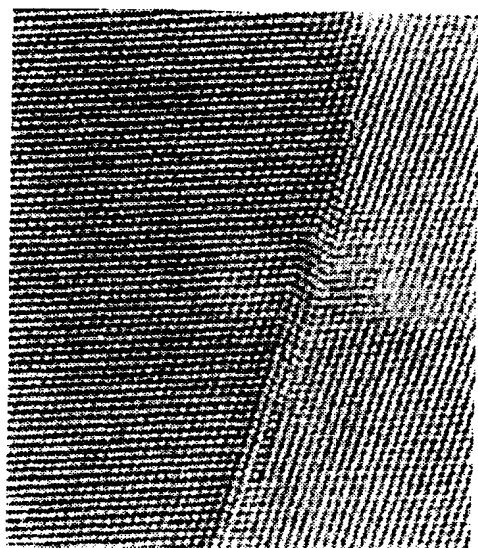


【図 16】



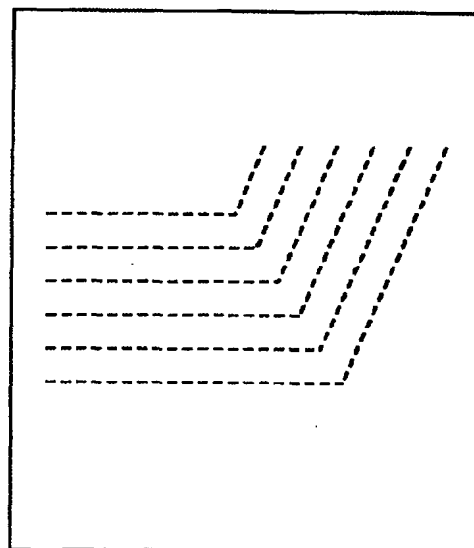
【図 17】

図面代用写真

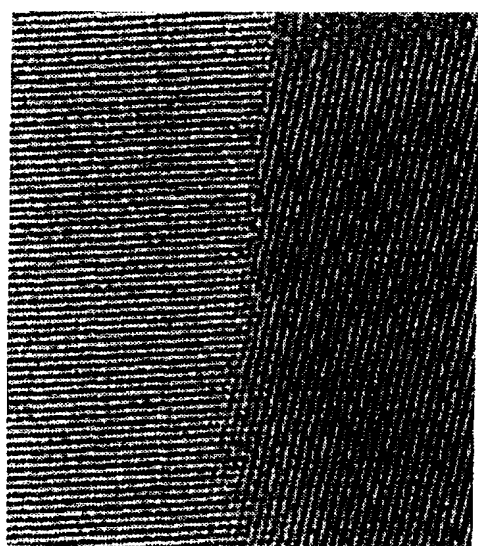


(A)

5 nm

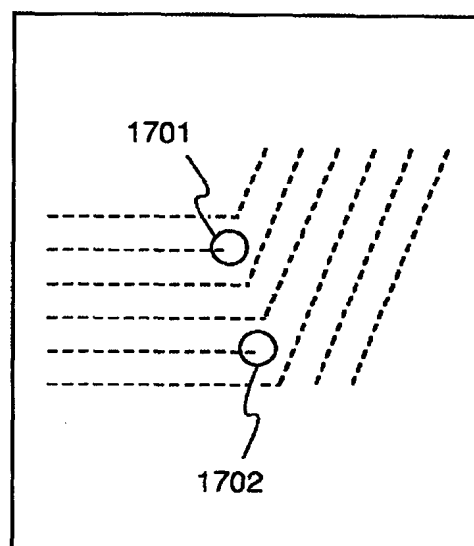


(B)



(C)

5 nm



(D)

フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

6 2 7 F